



Tesis

Impacto de los semiconductores de banda prohibida ancha en el diseño de convertidores de potencia

David Garrido Diez

Mondragon Goi Eskola Politeknikoa
Departamento de Electrónica e Informática

Arrasate-Mondragón, 1 de Junio de 2020



Impacto de los semiconductores de banda prohibida ancha en el diseño de convertidores de potencia

David Garrido Diez

dirigida por:

Dr. Igor Baraia-Etxaburu Zubiaurre
Departamento de Electrónica e Informática
Mondragon Unibertsitatea

*para la obtención del grado de Doctor
bajo el programa de doctorado de la Universidad de Mondragon:
Ingeniería Mecánica y Energía Eléctrica*

Arrasate-Mondragón, 1 de Junio de 2020

A mi familia y amigos

“[...] pero si recurrimos a la verificación indirecta y preguntamos a la naturaleza: “¿Quiénes son más aptos, aquellos que constantemente luchan entre sí o, por el contrario, aquellos que se apoyan entre sí?”, en seguida veremos que los animales que adquirieron las costumbres de ayuda mutua resultan, sin duda alguna, los más aptos.”

Piotr Kropotkin

Resumen

Los convertidores electrónicos de potencia se basan en dispositivos semiconductores para la conversión y control de la energía eléctrica. El silicio es a día de hoy el material más ampliamente utilizado para la construcción de estos semiconductores. La tecnología de fabricación de semiconductores de silicio permite fabricarlos prácticamente sin ningún defecto. Sin embargo, se están alcanzando los límites físicos del propio material por lo que no se esperan avances significativos para estos dispositivos en términos de eficiencia, capacidad de bloqueo de tensión o capacidad de evacuar calor.

En este escenario, en los últimos años, han aparecido los dispositivos semiconductores de banda prohibida ancha (*Wide BandGap Devices, WBG*), los cuales poseen la capacidad de operar a tensiones, temperaturas y frecuencias de conmutación mayores que los dispositivos de silicio mientras mantienen niveles de eficiencia superiores. Así, el uso de estos semiconductores de banda prohibida ancha permite desarrollar convertidores de potencia de menor volumen y peso (mayor densidad de potencia), con menores requerimientos de evacuación de calor y con mayor eficiencia.

Para aprovechar al máximo las virtudes de estos dispositivos se ha de operar a frecuencias elevadas, lo cual exige trabajar con transitorios rápidos tanto de corriente (di/dt) como de tensión (dv/dt) para mantener niveles aceptables de eficiencia. Esto exige mejoras en el diseño físico de las pistas que componen el circuito de potencia (layout del circuito de potencia) para reducir su inductancia parásita, ya que valores de inductancia parásita válidos para las dinámicas del silicio pueden limitar el uso de componentes de carburo de silicio. Estas consideraciones son extrapolables allí donde bien por acoples capacitivos o bien por acoples inductivos las altas dinámicas de conmutación del carburo de silicio son fuente de ruido.

En este contexto, el **objetivo principal** de la tesis es determinar el **impacto de los semiconductores de banda prohibida ancha en el diseño de convertidores de potencia**.

En términos generales, esta tesis tiene dos partes diferenciadas. Por un lado, se realiza un estado del arte de los semiconductores de banda prohibida ancha, se evalúan experimentalmente y se diseñan drivers para su correcto gobierno. Por otro lado, se aplica este conocimiento en el diseño, desarrollo y validación de un cargador rápido de baterías para vehículos eléctricos.

Entre las contribuciones de la tesis destacan el trabajo realizado en torno a técnicas de medida de los transitorios rápidos de conmutación, el desarrollo de un driver para MOSFETs de carburo de silicio capaz de proteger el semiconductor frente a cortocircuitos en menos de $2 \mu s$, así como el diseño y desarrollo de un cargador rápido de baterías para vehículos eléctricos basado en módulos de MOSFETs de carburo de silicio.

Agradecimientos

A Eskola y en especial a todo el Departamento de Electrónica por permitirme, durante tres años, realizar esta tesis cargándose ellos con el trabajo que yo dejaba. A Canales por acordarte de mí cuando vagaba perdido en un centro de investigación y me prometiste que aquí “me iba a aburrir de cacharrear”. A Antonio, quien me acogió en sus proyectos y asignaturas desde el principio y a quien debo gran parte de que este oficio me guste tanto. A Manex, ese ser oscuro que alberga tanta luz. A Ibon, al que explicas un montaje con cuatro líneas vagas y siempre te monta algo profesional. A Eneko, todo luce mejor en este documento gracias a ti. A Gonzalo, lo más parecido a un erudito que conozco. A Jonan, el negacionista con razón. A Carlos, que como alumno engrandece el oficio de profesor y como compañero espero disfrutar muchos años. A Aritz, que consigue que trabajemos todos juntos como si fuésemos una familia y parezca fácil. A Jon, sin quien no hubiese podido sacarme la carrera y ahora mira dónde estamos. A Patxi por ser capaz de ver el futuro de la educación rodeado de cabezacuadradas. A Egea, cuyos gemelos dan sentido a eso de Departamento de Máquinas. A Gaizka Ugalde, que exprime las características ferromagnéticas hasta que le dan la razón, como para no. A Gaizka Almandoz, por ser la definición de profesional. A Sergio, el apicultor electromagnético. A Dani, Edurne, Edu, Xabi, Ramón y Nahikari por renovar “músculo” en el Departamento con una pasión inquebrantable. La misma pasión con la que cimentaron el departamento Torre, Mikel, Amaso, Cecilio y Ander, va por ellos también. Sin olvidarme de los exiliados de Galarreta, en especial a Unai y Iosu, que te montan un imperio electrónico en el desierto y a “Big” Ander, con quien es fácil conquistar Alemania.

A Andoni y en especial a Kepa, cuya ayuda como becarios ha sido increíble.

A la empresa Ingeteam, en particular a Joseba Arza y a Mikel Zabaleta por apostar por nosotros para el desarrollo conjunto de la primera experiencia “SiC”. Sin olvidarme de Iñaki, Martin e Izare que me han ayudado con su conocimiento en el desarrollo del cargador.

A todas las amistades que he ido forjando durante todos estos años: a mi cuadrilla de Paupérrimos, a mi peña de Mayorga, a la Txaranga Mauxitxa, a la Banda de Música, a los compinches del futbito... Sois muchos y no me sobra ninguno.

A mi familia, el núcleo duro. A mi madre, que siempre mantuvo que “para vicios no hay dinero en esta casa, pero para estudios siempre habrá, y si falta se busca”. Tu mantra diario cuando salía de casa ha sido “estudia mucho y sé formal”. Con esto que entrego aquí creo haber cumplido lo primero, mamá, lo segundo espero tener tiempo para enmendarlo. A mi padre que siempre me ha apoyado y que también ha participado en mi educación formal. Tus clases de matemáticas, física y química no cayeron en saco roto, Charlín. Espero que tu infinita bondad tampoco. A mis hermanos Ana y Héctor. A la primera porque siempre ha sido como una segunda madre y se desvive por su familia, y a mi hermano por ser mi mejor amigo e inculcarme el gusto por la música, el deporte y los amigos comunes. A Lore y a mis sobrinos Elene, Peru y Elur, que siempre tienen tiempo para hacer el gamba con el tío.

En especial esta tesis está a dedicada a las dos personas que más la han sufrido.

A Igor, porque ambos sabemos que todo lo bueno que hay en esta tesis es gracias a ti. Desde el primer día me dijiste que lo más importante era que yo me formase bien y te has empeñado en ello, porque fácil no te lo he puesto. Yo sé que he tenido el mejor director de tesis que se pueda tener, con una implicación superlativa. Pero para mí no ha sido lo más importante tampoco, porque compartir esta etapa con un verdadero amigo es lo que lo va a hacer especial siempre y espero que podamos seguir mirando embobados la pantalla del osciloscopio muchos años más.

Y a ti Oihane, porque sabes leer en cada uno de mis gestos. Porque te vuelcas en hacerme feliz y porque todo parece más fácil cuando sonríes. Eres capaz de mostrar interés mientras te hablo de conmutaciones (las ondas esas) o sobre EMIs (los bichitos) mientras haces el tonto conmigo y te muestras cariñosa con cada uno de los que me importan. Te quiero mucho Nane.

Por último a mi perro Khrónos y mi coneja Morti, por darme la opción de poner como excusa que mi mascota se haya comido el documento. Dos veces.

Y para quien debía haber sido Doctor pero no tuvo tiempo. Esto va por ti también, Oier.

Índice general

1	Introducción	1
1.1	Objetivos de la tesis	3
1.2	Contribuciones	4
1.3	Estructura de la tesis	5
2	Estado del arte: Semiconductores de potencia	7
2.1	Revisión de los dispositivos semiconductores de silicio	9
2.1.1	Diodos de potencia	9
2.1.1.1	Diodo Schottky (SBD, Schottky Barrier Diode)	9
2.1.1.2	Diodo de recuperación rápida (FRD, Fast Recovery Diode)	13
2.1.2	MOSFET de potencia	16
2.1.2.1	Características estáticas del MOSFET	19
2.1.2.2	Comportamiento del MOSFET en conmutación	20
2.1.2.3	Limitaciones del Si-MOSFET para aplicaciones de Media/Alta tensión	25
2.1.3	IGBT	25
2.2	Semiconductores de banda prohibida ancha	30
2.2.1	Nitruro de Galio - GaN	33
2.2.1.1	GaN HEMT	35
2.2.1.2	Dispositivos verticales GaN	38
2.2.2	Carburo de Silicio - SiC	38
2.2.2.1	SiC-SBD	42
2.2.2.2	SiC-FET	47
2.2.2.3	SiC-MOSFET	48
2.2.2.4	SiC-BJT	54
2.2.2.5	SiC-IGBT	55
2.3	Conclusiones	56
3	Caracterización de semiconductores SiC	59
3.1	Características estáticas	60
3.1.1	Características estáticas del SiC-MOSFET	61
3.1.2	Característica de salida de los diodos SiC	63
3.2	Características dinámicas	65
3.2.1	Influencia del MOSFET en el apagado de los diodos SiC	66
3.2.2	Dinámica de apagado del SiC-MOSFET	70
3.3	Conclusiones	71

4	Medida de tensión y corriente para la caracterización dinámica de los dispositivos SiC	73
4.1	Requerimientos de las sondas y plataforma de ensayo de doble pulso	75
4.2	Medida de tensión	76
4.2.1	Descripción de las sondas de tensión disponibles en el laboratorio . . .	76
4.2.2	Divisor de tensión de gran ancho de banda	78
4.3	Medida de corriente	81
4.3.1	Descripción de las sondas de corriente disponibles	82
4.3.2	Método para la estimación de corriente	86
4.4	Validación de los métodos de medida propuestos para dispositivos SiC	88
4.5	Conclusiones	92
5	Criterios de diseño y evaluación de drivers para SiC-MOSFET	93
5.1	Tensiones de puerta	95
5.2	Capacidad de corriente y potencia manejada por el driver	97
5.2.1	Aislamiento del driver	101
5.2.1.1	Driver de puerta optoacoplado	102
5.2.1.2	Driver de puerta aislado mediante transformador de pulso . . .	103
5.2.1.3	Driver de puerta con aislamiento capacitivo	103
5.3	Protecciones	104
5.3.1	UVLO	104
5.3.2	Enclavado de Miller	105
5.3.3	Protección de cortocircuito	106
5.4	Criterios de diseño de layout del driver	111
5.5	Evaluación del driver propio diseñado	113
5.5.1	Evaluación del driver en condiciones de falta	115
5.5.2	Evaluación del enclavado de tensión drenador-surtidor	117
5.6	Resumen del diseño del driver	119
5.7	Conclusiones	119
6	Diseño de un cargador de vehículos eléctricos de 100 kW basado en módulos SiC-MOSFET	121
6.1	Análisis de los convertidores AFE y PSFB	124
6.1.1	Convertidor AFE	124
6.1.2	Convertidor PSFB	128
6.2	Diseño del convertidor PSFB	134
6.2.1	Dimensionado de elementos pasivos	137
6.2.1.1	Capacidad de bus	137
6.2.1.2	Diseño del PCB	139
6.2.1.3	Condensador de desacoplo	143
6.2.2	Dimensionado y selección de semiconductores	146
6.2.2.1	Dimensionado térmico del rectificador de salida	149
6.3	Ensayos experimentales del cargador	150
6.4	Conclusiones	159
7	Conclusiones y líneas futuras	161
7.1	Conclusiones	161
7.2	Líneas futuras de investigación	163

A Núcleos aislados de driver y drivers completos para SiC-MOSFET	165
Índice de figuras	169
Listado de Tablas	176
Bibliografía	177

Capítulo 1

Introducción

La electrónica de potencia está cada vez más presente en aplicaciones donde se requiere generar, transportar o consumir energía eléctrica de forma eficiente y confiable. Estas aplicaciones van desde la generación de energía hidráulica, fotovoltaica o eólica, pasando por su transporte y distribución hasta las aplicaciones finales, entre las que se encuentran la industria, la movilidad (trenes, vehículos eléctricos e híbridos) o los electrodomésticos (Figura 1.1). Hasta la fecha, el campo de la electrónica de potencia ha estado dominado por el uso de dispositivos basados en el silicio, siendo el desarrollo de semiconductores controlables en el apagado como el MOSFET, el IGBT o el IGCT lo que ha permitido que estos convertidores de potencia pulsada alcance niveles elevados de frecuencia y potencia.

Desde comienzos del siglo XXI [1] las mejoras en los procesos de fabricación han permitido la aparición paulatina de dispositivos semiconductores de potencia de banda prohibida ancha (*Wide BandGap Devices, WBG*). Estos dispositivos están basados, entre otros materiales, en el carburo de silicio (SiC) y el nitruro de galio (GaN), los cuales, permiten el funcionamiento de los dispositivos semiconductores a muy altas frecuencias de trabajo, tensiones y temperaturas. De esta forma, a medida que se resuelvan sus problemas constructivos [2, 3] y alcancen los rangos de tensión corriente de los semiconductores basados en el silicio, los dispositivos de banda prohibida ancha serán el reemplazo de los dispositivos basados en el silicio en multitud de aplicaciones.

Sin embargo, el uso de estos dispositivos supone una serie de retos que se deben abordar y solucionar para poder explotar sus posibilidades.

Uno de los principales problemas para la adopción de los dispositivos de banda prohibida ancha es el coste inicial de la inversión. En este punto, la calidad y la experiencia para la fabricación son fundamentales. El rendimiento durante el crecimiento epitaxial, medido en chips útiles por superficie de oblea fabricada, puede ser bajo si la calidad del sustrato es deficiente, lo que aumenta costes por el rechazo de chips. La calidad, junto con el volumen de producción, puede desempeñar un papel importante en la reducción de costes a medida que la industria de fabricación de dispositivos de banda prohibida ancha se incremente [4]. Pero aunque el

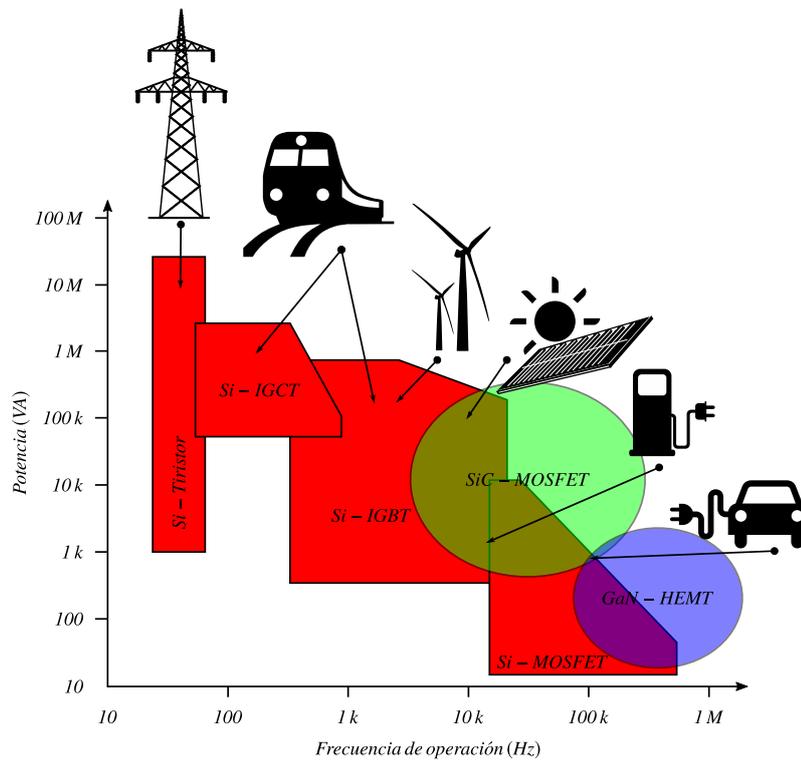


Figura 1.1: Dispositivos de potencia utilizados en diferentes aplicaciones en función de su potencia y frecuencia.

coste de los dispositivos sea superior, el coste global puede verse reducido en torno al 5% por la reducción de los elementos pasivos y requerimientos térmicos [5].

Otro de los retos para la adopción de esta tecnología tiene que ver con la fiabilidad de los propios dispositivos, que ha supuesto una barrera hasta principios del siglo XXI. Según [6] los dispositivos de potencia de carburo de silicio tienen actualmente una excelente fiabilidad y una tasa de fallos en campo menor de 5 FIT (fallos en 10^9 de horas de trabajo), tanto para MOSFETs como para diodos Schottky.

Un último reto, pero no menos importante, es el impacto que tiene el uso de este tipo de componentes en el diseño de los convertidores electrónicos de potencia. La adopción de estos semiconductores implica el uso de nuevos encapsulados que presenten muy baja inductancia parásita, así como capacidad para trabajar a temperaturas elevadas. Del mismo modo, los componentes pasivos que rodean al semiconductor han de soportar tanto su temperatura de trabajo, así como las dinámicas de conmutación de estos nuevos componentes. Esto último afecta a aislamientos en devanados de inductancias, transformadores y máquinas, así como en aislamientos entre el módulo y el radiador, lazos de conmutación, pistas de señal cercanas a los puntos de conmutación, sensores, etc. Por su parte, los drivers encargados de gobernar los semiconductores han de cambiar sus tensiones de trabajo, mejorar su capacidad de inmunizar el componente frente a dv/dt -s elevadas o incluso abrir el semiconductor de forma segura ante

una falta en tiempos considerablemente más cortos ($2 \mu\text{s}$) que en el caso de IGBTs de silicio.

La propia evaluación dinámica de estos dispositivos se vuelve más complicada debido a que los tiempos de conmutación son del orden de nanosegundos. El ancho de banda requerido por las sondas aumenta y la imposibilidad de introducirlas en un layout muy poco inductivo dificulta su uso. En la Figura 1.2 se muestran ensayos de conmutación con carga inductiva en los que se presentan por un lado los problemas de alineamiento de sondas (a) para el cálculo de pérdidas. En la evaluación de los dispositivos de potencia de silicio, los retardos entre sondas eran prácticamente despreciables, pero en este nuevo escenario son del mismo orden de magnitud que la propia conmutación. Si se trata de gobernar el SiC-MOSFET utilizando el valor de resistencia de puerta con el que el fabricante lo ha evaluado [7] se puede observar en (b) cómo un layout con una pequeña inductancia parásita en su lazo de conmutación (en torno a los 40 nH en estos ensayos) hace que el circuito se vuelva oscilante fuera de lo permisible.

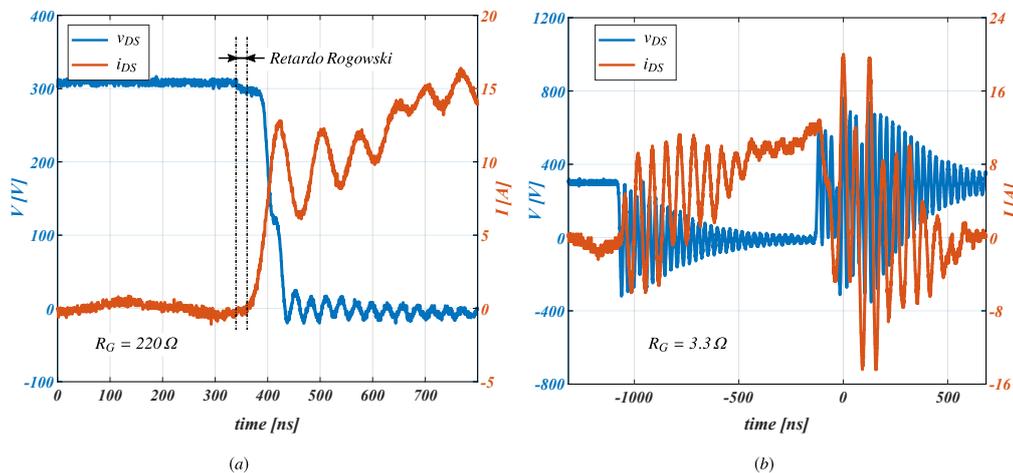


Figura 1.2: Ensayos preliminares de conmutación: (a) problemática del alineamiento temporal de sondas de tensión y corriente en el encendido y (b) oscilaciones debidas a exceso de inductancia parásita en el circuito de potencia.

Este trabajo aborda algunos de estos retos, presentando una visión general de las estructuras y funcionamiento de los dispositivos, planteando métodos de medida de transitorios de tensión y corriente, caracterizando aquellos semiconductores de mayor interés para las aplicaciones de potencia reales ($> 50 \text{ kW}$), desarrollando drivers para su correcto funcionamiento, prestando especial atención al desarrollo del PCB del circuito de potencia y finalmente integrándolos en un prototipo real de cargador rápido de baterías para vehículos eléctricos.

1.1 Objetivos de la tesis

El objetivo principal de la tesis es evaluar el **impacto de los semiconductores de banda prohibida ancha en el diseño de convertidores de potencia.**

Para alcanzar este objetivo, se han fijado los siguientes objetivos parciales:

- [O1] Estado del arte de semiconductores de banda prohibida ancha, analizando su estructura, principio de funcionamiento y virtudes y problemas para aplicaciones reales de potencia.
- [O2] Evaluación experimental de los semiconductores de banda prohibida ancha más adecuados para aplicaciones de potencia.
- [O3] Evaluación de distintas técnicas para la medida de transitorios rápidos de conmutación.
- [O4] Desarrollo de drivers de puerta para MOSFETs de Carburo de Silicio.
- [O5] Estado del arte de diseño de PCBs de alta densidad de corriente y baja inductancia parásita.
- [O6] Diseño, desarrollo y evaluación experimental de cargador rápido de baterías basado en dispositivos SiC.

1.2 Contribuciones

Las contribuciones más relevantes de esta tesis pueden resumirse de la siguiente manera:

- Un **estado del arte detallado de semiconductores de potencia de banda prohibida ancha**.
- Validación experimental de un **sistema de medida de transitorios rápidos** para la caracterización de dispositivos de carburo de silicio.
- Un **diseño de driver para SiC-MOSFET** que garantiza su adecuado funcionamiento.
- **Diseño, desarrollo y validación experimental de un cargador de baterías de 100 kW basado en módulos full-SiC.**

Algunas de estas contribuciones han sido publicadas en revistas científicas o presentados en conferencias:

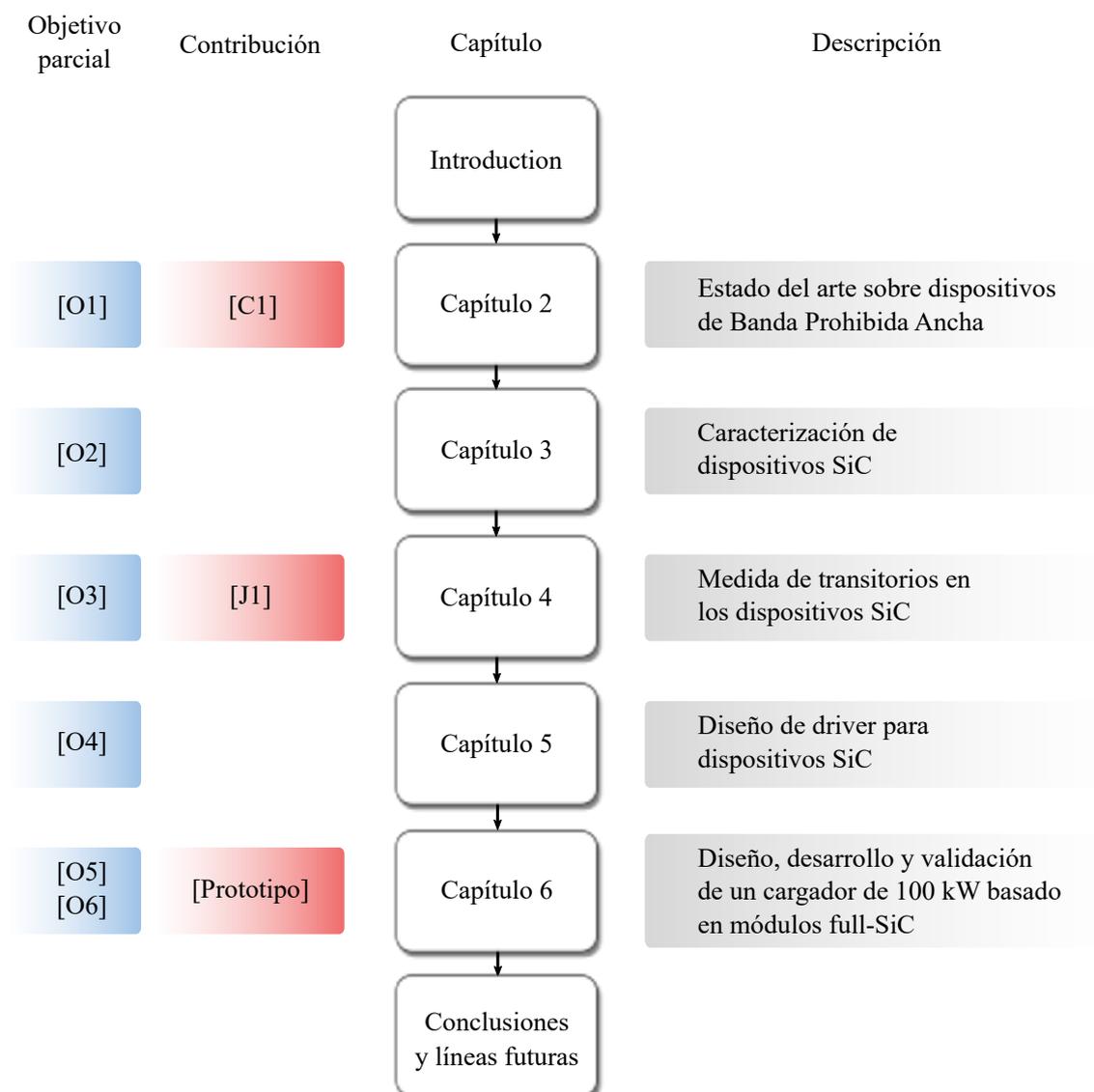
Artículos de revista

- [J1] D. Garrido, I. Baraia, J. Arza and M. Barrenetxea, “Simple and Affordable Method for Fast Transient Measurements of SiC Devices,” en *IEEE Transactions on Power Electronics*, Early Access. → **Published**
DOI: [10.1109/TPEL.2019.2924358](https://doi.org/10.1109/TPEL.2019.2924358)

Artículos de conferencia

- [C1] D. Garrido and I. Baraia, “Review of wide bandgap materials and their impact in new power devices,” en *2017 IEEE International Workshop of Electronics, Control, Measurement, Signals and their Application to Mechatronics (ECMSM)*, 2017. → **Published**
DOI: [10.1109/ECMSM.2017.7945876](https://doi.org/10.1109/ECMSM.2017.7945876)

1.3 Estructura de la tesis



Capítulo 2

Estado del arte: Semiconductores de potencia

Desde el origen de la electrónica de potencia pulsada se ha buscado el interruptor ideal que opere con pérdidas de potencia “nulas” tanto en conducción como en conmutación. A pesar de que el concepto de interruptor ideal resulta atractivo en términos de eficiencia, las formas de onda cuadradas tanto de tensión como de corriente generan problemas de sobretensiones, sobrecorrientes, oscilaciones, interferencias electromagnéticas, deterioro de aislamientos, vulnerabilidad por derivada de tensión, etc. Es por ello que el concepto de interruptor ideal ha sido ampliamente discutido por la industria [8], concluyendo que no es el interruptor idóneo para aplicaciones de potencia pulsada. A consecuencia de ello, en los últimos años, especialmente en aplicaciones de Media Tensión, han aparecido IGBTs y diodos que presentan transitorios suaves tanto de tensión como de corriente durante la conmutación. Esto, junto a consideraciones mínimas en el layout y driver, permite conmutar al semiconductor a tensión y corriente nominal sin que esto genere problemas de sobretensión, oscilaciones, etc.

Sin lugar a dudas, hasta la fecha, el silicio ha sido el material preferido para fabricar estos semiconductores de potencia [9,10]. Con la salvedad de los diodos de potencia, los semiconductores de potencia se pueden dividir en dos familias principales; transistores y tiristores. El grupo de los transistores (IGBT-s, MOSFETs,...) se caracteriza por que funcionan como amplificadores de señal. De esta forma, tanto las dinámicas del encendido como del apagado son controlables por puerta. Por su parte, los tiristores actúan como válvulas binarias, es decir, se puede controlar cuando se encienden o cuando se apagan (GTO, IGCT) pero no se pueden controlar sus dinámicas de conmutación por puerta. A groso modo, se puede decir que cuanto más controlable resulta un semiconductor durante la conmutación, mayores resultan sus pérdidas de conducción. Esto, junto a las características de conmutación propias del semiconductor, hace que dependiendo de la corriente conducida, la frecuencia de conmutación o la tensión a bloquear, sea un tipo de semiconductor u otro el que mejor se adapta a las necesidades específicas de la aplicación.

Actualmente los dispositivos de potencia basados en el silicio están alcanzando los límites

impuestos por el propio material y por lo tanto no se espera una mejora significativa en términos de tensiones de bloqueo, eficiencia o capacidad de evacuar calor. Por ello, en los últimos años, se están investigando y desarrollando dispositivos basados en nuevos materiales que permitan ampliar las características de bloqueo, eficiencia y capacidad de evacuar calor de los semiconductores de silicio actuales. Este tipo de nuevos materiales, como el Carburo de Silicio o el Nitruro de Galio, tienen una banda prohibida mayor que la del silicio y por ello se conocen como dispositivos de banda prohibida ancha [11].

2.1 Revisión de los dispositivos semiconductores de silicio

En este capítulo se presentan de forma resumida las características principales de los transistores y diodos de potencia basados en silicio. La familia de tiristores queda fuera de este estado del arte debido a que a día de hoy no existe ningún desarrollo significativo de estos componentes con materiales de banda prohibida ancha.

2.1.1 Diodos de potencia

La unión de dopados p y n de un mismo material semiconductor forma el dispositivo semiconductor más sencillo, el diodo. Dados los requerimientos de bajas pérdidas, tanto estáticas como dinámicas, en un rango cada vez más amplio de tensiones y frecuencias, existen diferentes tipos de diodos que tratan de dar solución a cada aplicación de potencia. Son dos las estructuras básicas de diodos rápidos de potencia: los diodos *Schottky Barrier Diode (SBD)* y los diodos de estructura *PiN (FRD-fast recovery diodes* en inglés).

2.1.1.1 Diodo Schottky (SBD, Schottky Barrier Diode)

La unión entre metal y semiconductor genera dos tipos de contactos: rectificadores y óhmicos. Los primeros se comportan como diodos, permitiendo la circulación de corriente en un sentido y bloqueándolo en el otro, y los segundos permiten la circulación de corriente en ambos sentidos, con una baja caída de tensión [12].

En la Figura 2.1 se representa el contacto rectificador, metal-semiconductor, que rige el funcionamiento de un diodo Schottky, mediante el diagrama de bandas de energía. El diagrama de bandas de energía es una representación gráfica de los niveles de energía que tienen los electrones a lo largo de un semiconductor o metal. En la Figura 2.1 (a) se pueden observar los niveles de energía de cada material:

- E_V : Nivel superior de energía de la Banda de Valencia, donde se encuentran los electrones con diferentes energías que forman parte de enlaces covalentes.
- E_C : Nivel inferior de la Banda de Conducción. En la Banda de Conducción se encuentran los electrones que se han desligado de sus enlaces covalentes.
- E_F : Es el nivel que separa los niveles llenos de portadores de los vacíos a una temperatura de 0 K. En los semiconductores E_F se encuentra en la Banda Prohibida, que es la banda que se encuentra entre las bandas de valencia y de conducción. Ningún electrón puede tener una energía de esa banda.
- E_0 : Nivel de vacío, que se define como el nivel de energía de los electrones que están fuera de ambos materiales.

En la Figura 2.1 (a) se puede observar la función de trabajo ($q\phi$), que se define como la energía requerida para mover un electrón desde el nivel de Fermi (E_F) al nivel de vacío (E_0). Como se observa en la Figura 2.1 (a) la función de trabajo de un metal es mayor que la función de trabajo de un semiconductor. Esto hace que los electrones en el semiconductor de tipo n tengan una energía potencial mayor que los electrones en el metal. Como no existen electrones en el nivel de Fermi (E_F), se define $q\chi$ (afinidad electrónica), como la energía necesaria para transferir un electrón desde E_C hasta el nivel de vacío E_0 .

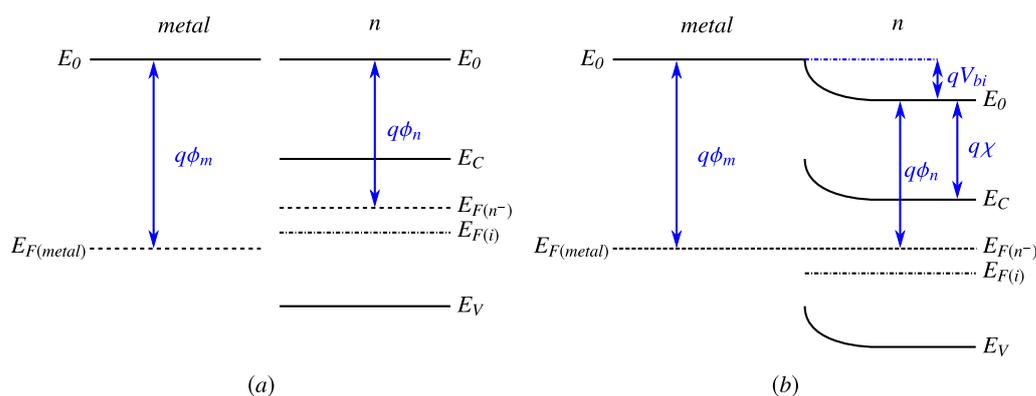


Figura 2.1: Diagrama de bandas de energía de metal y semiconductor tipo n con $q\phi_n$ menor que $q\phi_m$ (a) antes y (b) después de realizar el contacto

Cuando ambos materiales se unen (Figura 2.1 (b)), el nivel de Fermi ha de ser constante en equilibrio, por lo que, para poder alinearse, las demás bandas de energía se curvan. Debido a la gran densidad de carga en la región de carga espacial en el metal, la curvatura del perfil de potencial parabólico es mucho mayor que en el semiconductor, y el potencial (qV_{bi}) cae casi por completo en el semiconductor [13]. Como la función de trabajo del semiconductor de tipo n es menor que la del metal ($q\phi_s < q\phi_m$) se forma una barrera Schottky, cuya energía en equilibrio es la resta de ambas funciones de trabajo.

$$qV_{bi} = q\phi_m - q\phi_n \quad (2.1)$$

Esta barrera otorga al dispositivo la capacidad de conducir corriente cuando se polariza directamente y bloquear tensión cuando se polariza inversamente. Cuando se polariza de forma directa (Figura 2.2 (a)), la curvatura de las bandas en la unión disminuye, dando como resultado una migración de electrones desde el semiconductor hacia el metal (incremento de corriente). En polarización inversa (Figura 2.2 (b)), la curvatura en la unión se incrementa, no permitiendo la migración de electrones de un material a otro de manera que se bloquea la conducción de corriente.

En polarización directa, los electrones se emiten desde la región n^+ conectada al cátodo hacia el metal conectado hacia el ánodo. A diferencia del diodo pn bipolar, sólo los electrones

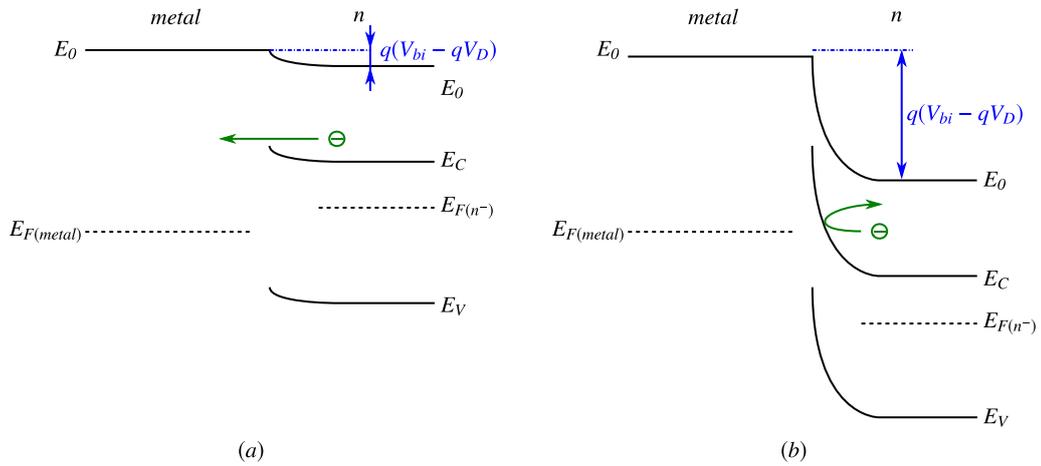


Figura 2.2: Diagrama de bandas de energía de la unión metal-semiconductor tipo n con $q\phi_n$ menor que $q\phi_m$ (a) con polarización directa y (b) con polarización inversa.

son portadores de carga, por lo que el diodo de unión Schottky es un dispositivo unipolar.

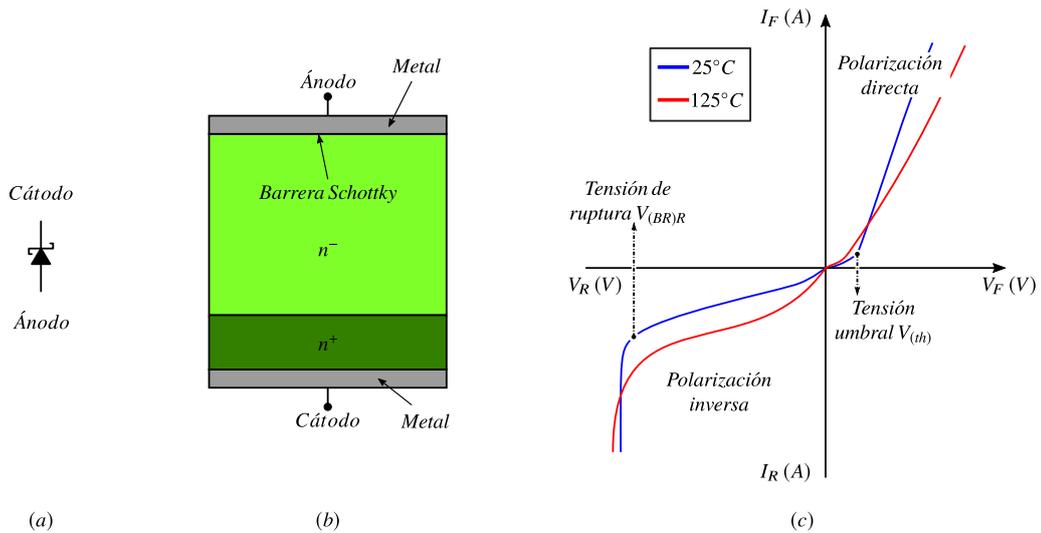


Figura 2.3: (a) Símbolo, (b) estructura y (c) característica de salida del Diodo Schottky

La caída de tensión en polarización directa ronda típicamente los 0,7 - 0,9 voltios a corriente nominal (Figura 2.3 (c)), lo cual es una caída de tensión considerablemente menor que la de un diodo de unión pn.

En polarización directa, para una temperatura dada, esta característica de salida se puede aproximar mediante la expresión:

$$I_{ak} = k(V_{ak} - V_{th})^2 \tag{2.2}$$

donde V_{th} es la tensión umbral del diodo y k es un parámetro de ajuste de curvas.

Tal y como se puede observar en la Figura 2.3 (c), la característica de salida del diodo

Schottky de silicio tiene un coeficiente de temperatura positivo. De esta forma, para una corriente dada, a mayor temperatura de unión, mayor es la caída de tensión en bornes del semiconductor. Esto puede resultar beneficioso en el reparto de corrientes de diodos conectados en paralelo.

En polarización inversa la corriente de fuga es inversamente proporcional al potencial aplicado a la unión. En términos generales, un diodo SBD con una baja caída de tensión en polarización directa tiene una corriente de fuga elevada. La corriente de fuga es el resultado de los portadores mayoritarios que superan la energía impuesta por la barrera de potencial Schottky. A mayor tensión inversa aplicada a esta barrera de potencial mayor es la corriente de fugas. Con el fin de reducir la tensión inversa en la barrera, se añade una capa de material intrínseco o de muy bajo dopado (n^- en la Figura 2.3 (b)) para distribuir la tensión inversa a lo largo de la barrera y el material poco dopado.

Debido a que el SBD es un dispositivo unipolar no necesita ningún mecanismo de recombinación y por lo tanto es capaz de pasar rápidamente del estado de conducción (polarización directa) a bloqueo de tensión (polarización inversa).

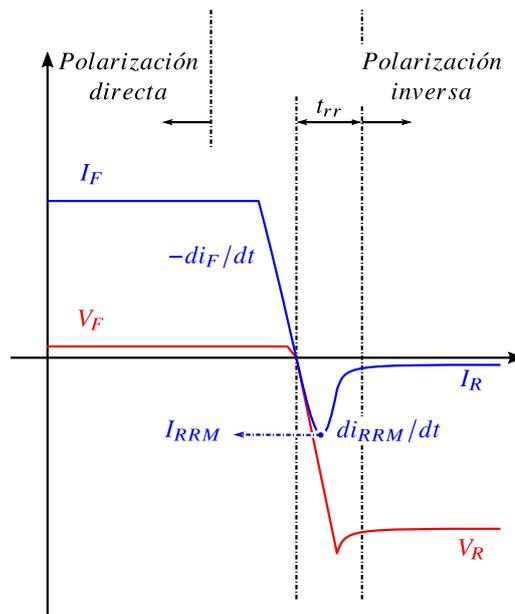


Figura 2.4: Transitorio de apagado del Diodo Schottky

En el proceso de apagado, el SBD presenta una corriente de recuperación inversa debida a la capacidad interelectrónica que aparece entre el metal y el material semiconductor (C_j) y la derivada de tensión en bornes del diodo, Figura 2.4:

$$I_{RRM} = C_j \left(\frac{dv}{dt} \right)_{\text{máx}} \quad (2.3)$$

A pesar de su baja caída de tensión en directa, los diodos Schottky de silicio no tienen

presencia en aplicaciones de potencia reales. Típicamente, los diodos Schottky comerciales presentan tensiones inversas de 50 V a pesar de que existen diseños que permiten tensiones de bloqueo de 200 V [14]. Superar estos niveles de tensión provoca un aumento en la corriente de fugas [15]. Es por ello que para aplicaciones de potencia pulsada los diodos de silicio de recuperación rápida (FRD) son la opción preferida.

2.1.1.2 Diodo de recuperación rápida (FRD, Fast Recovery Diode)

Constructivamente, un diodo de recuperación rápida es similar a un diodo pn común. Se basa en la unión de materiales semiconductores de tipo n (donde los electrones son los portadores mayoritarios) y semiconductores de tipo p (donde los huecos son los portadores mayoritarios). En un material semiconductor intrínseco, sin dopado, el nivel de Fermi está en la mitad de los niveles de conducción E_C y valencia E_V . Al doparlos con más portadores, más huecos libres en el caso del material p y más electrones libres en el caso del material n , los niveles de Fermi de ambos materiales se desplazan, $E_{F(p^+)}$ y $E_{F(n^-)}$ en la Figura 2.5 (a). Al unir ambos materiales el nivel Fermi se mantiene constante en equilibrio térmico en todos los puntos del semiconductor, lo que hace que los niveles E_C y E_V se adapten a lo largo del material (Figura 2.5 (b)). Al igual que en el caso del diodo Schottky, solo pueden pasar de una región a otra aquellos portadores que tengan energía suficiente como para superar el escalón, $-qV_{bi}$, representado por la curvatura de bandas.

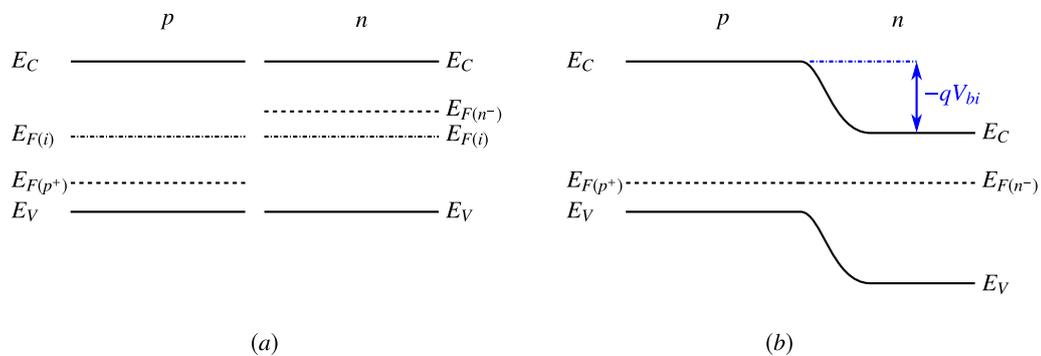


Figura 2.5: Diagrama de bandas de energía de una unión pn (a) antes y (b) después de unir ambos materiales p y n .

Cuando se polariza de forma directa se disminuye el campo eléctrico en la región de transición, Figura 2.6 (a), por lo que el escalón de la unión es menor. Esto permite el paso de muchos portadores mayoritarios de cada una de las regiones a la otra. En polarización inversa, Figura 2.6 (b), la altura del escalón aumenta, los portadores no pueden superarlo por lo que la corriente es prácticamente nula.

En los diodos FRD la concentración de dopaje en cada lado de la unión determina las características de tensión de ruptura, tensión de umbral y la resistencia dinámica del diodo en conducción, Figura 2.7 (c). El diodo tiene normalmente la región p altamente dopada (p^+) en

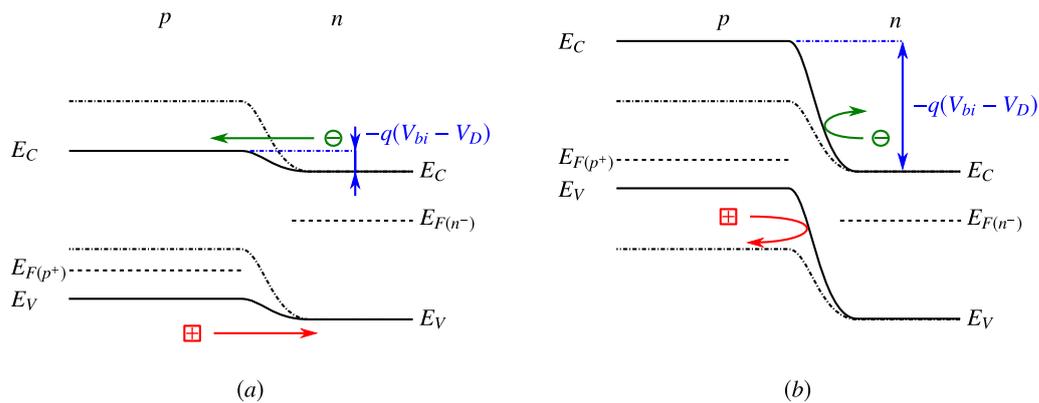


Figura 2.6: Diagrama de bandas de energía de una unión pn en (a) polarización directa y (b) polarización inversa.

comparación con la región n (n^-) que es la que determina la mayoría de las propiedades del dispositivo. Cuando el dispositivo se polariza en inversa la zona espacial penetra en la región n , determinando esta la capacidad de bloqueo de tensión del dispositivo. Así, cuanto menor sea la concentración de la región n y cuanto mayor sea su anchura, mayor es la tensión de bloqueo que podrá soportar, pero por contra presentará una mayor resistencia en conducción.

El tiempo tanto de encendido como de apagado se minimiza reduciendo la cantidad de portadores de carga a recombinar, así como reduciendo su tiempo de recombinación. Es por ello que la principal diferencia entre un diodo pn común y un diodo de recuperación rápida aparece en los centros de recombinación que ayudan a reducir el tiempo de recombinación de los portadores de carga. Estos centros de recombinación son dopantes de oro o platino en la estructura del diodo [16].

El comportamiento en conmutación, así como en conducción, del diodo empeoran a medida que el grosor del diodo pn aumenta para poder bloquear mayor tensión inversa. La estructura del diodo PiN permite bloquear altos niveles de tensión sin deteriorar las características de conducción y conmutación. La estructura PiN inserta una capa intrínseca (capa de material poco dopado, n^-) entre las regiones p y n del diodo. De esta forma, en polarización inversa, esta región resistiva bloquea la tensión inversa permitiendo reducir el grosor del diodo. A su vez, el hecho de tener una estructura más estrecha hace que tanto en conducción como en conmutación el diodo PiN presente mejores características que los diodos pn [17].

El valor típico de la tensión de umbral para el diodo PiN de silicio ronda los 0,7 voltios, y a esta tensión se le debe añadir la caída de tensión en la zona resistiva al paso de corriente por ella, Figura 2.7 (c).

Cuando el diodo FRD se enciende de forma abrupta, este presenta una sobretensión entre sus terminales de ánodo y cátodo. En estado de bloqueo, la zona de agotamiento presenta una alta resistencia para bloquear tensión. Para que el diodo recupere su capacidad de conducir corriente esta zona de agotamiento ha de estrecharse y las regiones p y n del diodo han de

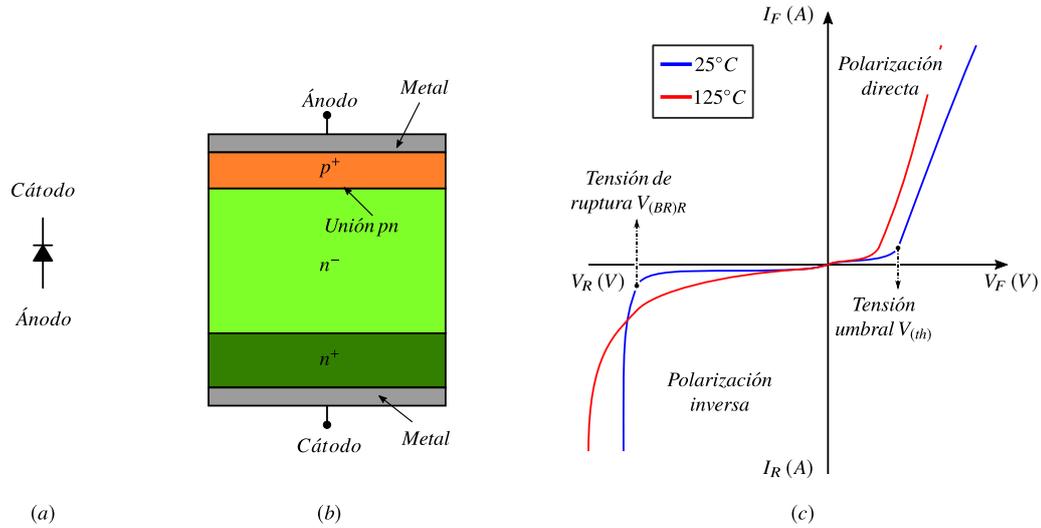


Figura 2.7: (a) Símbolo, (b) estructura y (c) característica de salida del Diodo PiN-FRD.

inundarse de portadores de carga minoritarios que modulen la resistencia del diodo. Cuando la corriente se establece de forma abrupta, inicialmente el diodo se comporta como una alta resistencia cuyo valor cae a los niveles de la resistencia dinámica. A su vez, la inductancia parásita de los terminales del propio diodo imprime una tensión en bornes del componente cuando la corriente se establece con una alta derivada [18]. A pesar de que este transitorio dura poco y no influye significativamente en las pérdidas de potencia del diodo, esta tensión ha de tenerse en cuenta especialmente si el diodo forma parte de un circuito de protección debido a que esta sobretensión aparece en bornas del dispositivo a proteger.

Cuando el diodo FRD se apaga de forma abrupta, este requiere de un cierto tiempo antes de que recupere su capacidad de bloquear tensión. En polarización directa, las regiones *n* y *p* del diodo se inundan con portadores minoritarios de carga que modulan la resistividad de la región *n⁻* del diodo. Mientras que estos portadores minoritarios estén presentes el diodo se comporta como un cortocircuito. Es por ello que cuando se enciende el transistor complementario comienza a circular una corriente de recuperación inversa a través del diodo que permite extraer los portadores minoritarios de carga, Figura 2.8.

La cantidad de cargas a extraer mediante la corriente de recuperación inversa es proporcional a la corriente en polarización directa del diodo (I_F) y la derivada de corriente con la que se apaga el diodo (di_F/dt). Esta corriente de recuperación inversa alcanza una corriente máxima en su apagado (I_{RRM}) la cual aumenta a medida que aumenta la derivada de corriente en el apagado [18]:

$$I_{RRM} \approx k \cdot V_b \cdot \sqrt{I_F \cdot \left| di_F/dt \right|} \quad (2.4)$$

donde V_b es la tensión de avalancha y k una constante de ajuste. El tiempo de recuperación del

diodo se indica como t_{rr} , Figura 2.8. Este tiempo es inversamente proporcional a la derivada de corriente con la que se apaga el diodo:

$$t_{rr} \approx k \cdot V_b \cdot \sqrt{\frac{I_F}{|di_F/dt|}} \quad (2.5)$$

A medida que aumenta la temperatura de trabajo del diodo (T^a) la cantidad de cargas a recubrir en el apagado aumenta debido a que se generan más pares electrón-hueco y la densidad de portadores minoritarios aumenta. Por ello, tanto la corriente máxima de recuperación y el tiempo de recuperación aumentan con la temperatura:

$$I_{RRM} \propto T^a \quad (2.6)$$

$$t_{rr} \propto T^a \quad (2.7)$$

Tal y como se puede observar en la Figura 2.8, una vez se alcanza la corriente máxima de recuperación inversa (I_{RRM}), se ha extraído de la unión la cantidad de portadores de carga suficiente (t_a) como para que el diodo recupere su capacidad de bloquear tensión. Es por ello que, a partir de este instante, la tensión inversa del diodo comienza a aumentar (t_b). Durante esta última fase del proceso de apagado, el diodo presenta una derivada de corriente (di_{RRM}/dt) hasta que se alcanza la corriente de fuga del diodo. Si el diodo presenta una alta derivada de corriente en este intervalo de tiempo, el diodo se considera del tipo snap-off (apagado abrupto). Este tipo de comportamiento en el proceso de recuperación no es deseado para aplicaciones de potencia pulsada debido a que provoca sobretensiones y oscilaciones en bornes del diodo. En su lugar, se prefieren los diodos que presentan una derivada de recuperación suave (soft-recovery) debido a que provocan menores sobretensiones y oscilaciones en el proceso de apagado [18].

2.1.2 MOSFET de potencia

El MOSFET (Metal Oxide Semiconductor Field Effect Transistor) de silicio es uno de los dispositivos de potencia más utilizados especialmente en aplicaciones de baja tensión ($< 600V$) y alta frecuencia ($> 200kHz$) como servidores de red, telecomunicaciones o electrónica de consumo. Sus bajos requerimientos de potencia en el terminal de puerta (driver), la presencia del diodo de cuerpo en la propia estructura del MOSFET, su capacidad de conmutar con rapidez y la facilidad de paralelado de componentes lo convierten en la opción preferida para este tipo de aplicaciones [19].

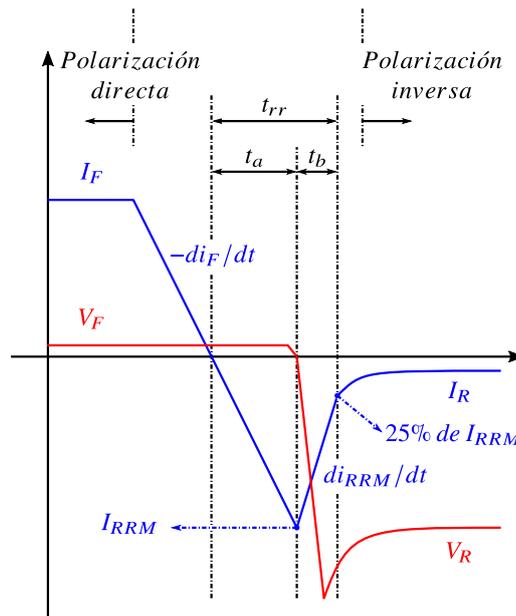


Figura 2.8: Característica de apagado del Diodo PiN-FRD.

La Figura 2.9 muestra el símbolo y las estructuras básicas de un MOSFET de canal n . En el MOSFET de estructura horizontal, Figura 2.9 (b), las regiones de surtidor y drenador (n^+) se difunden o implantan en el sustrato de tipo p ligeramente dopado, y una capa de dióxido de silicio aísla la puerta de metal de la superficie de silicio. Debido al bajo aprovechamiento del silicio, la estructura horizontal no es la opción preferida para MOSFETs de alta corriente. La estructura vertical mostrada en la Figura 2.9 (c) no presenta estas limitaciones y por lo tanto, la mayor parte de los MOSFET de potencia tienen una estructura vertical. A su vez, el hecho de tener los terminales de surtidor y drenador en lados opuestos de la oblea hace que esta estructura sea más apropiada para bloquear niveles altos de tensión [18].

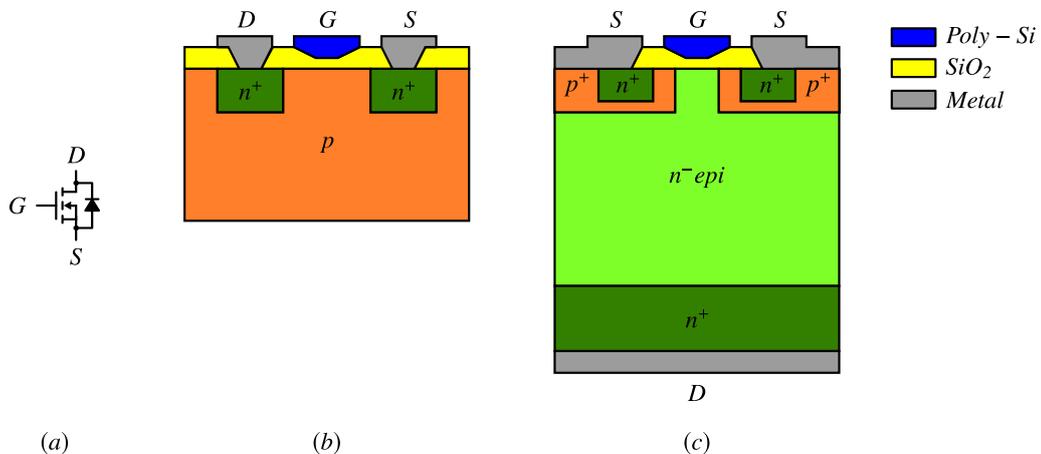


Figura 2.9: (a) Símbolo y estructuras del MOSFET: (b) lateral y (c) vertical.

En polarización directa ($V_{DS} > 0$), si la tensión aplicada al terminal de puerta (G) es nula, no puede circular ninguna corriente entre drenador (D) y surtidor (S). La zona de agotamiento entre las regiones (p) y (n) inversamente polarizadas bloquean la tensión aplicada, Figura 2.10 (a). En este estado, el MOSFET permanece en bloqueo.

Cuando la tensión V_{DS} es baja (próxima a cero) y se aplica una tensión entre la puerta y surtidor lo suficientemente alta ($V_{GS} > V_{GS(th)}$), la región p próxima al terminal de puerta comienza a inundarse de electrones atraídos por la polaridad positiva del terminal de puerta mientras que los huecos se repelen por la polaridad positiva de la puerta. De esta forma, se invierte la polaridad de la región p próxima al terminal de puerta creando así un canal conductor del tipo n repleto de electrones, Figura 2.10 (b). La tensión de puerta mínima para que este canal se cree se conoce como tensión de umbral de puerta ($V_{GS(th)}$). Este canal es bidireccional en corriente y cuanto mayor sea la tensión de puerta mayor es su anchura. Es por ello, que la resistencia que presenta el MOSFET en conducción depende en gran medida de la tensión aplicada en el terminal de puerta. El MOSFET es un semiconductor unipolar debido a que la corriente que circula está compuesta únicamente a través de electrones.

A medida que aumenta la tensión V_{DS} la zona de agotamiento en las regiones p y n comienza a estrechar el canal cerca de la región p próxima al drenador, Figura 2.10 (c). Cuando la tensión V_{DS} iguala a la tensión ($V_{GS} - V_{GS(th)}$) el canal se cierra en la región p próxima al drenador. Este fenómeno se conoce como estrangulamiento (pinch-off) y establece el límite entre la zona resistiva del MOSFET y la zona de corriente constante. En este punto es la tensión V_{DS} quien otorga energía a los electrones para que superen la zona de estrangulamiento.

A medida que la tensión V_{DS} aumenta la zona de agotamiento tiende a cerrar aún más el canal, Figura 2.10 (d). En estas condiciones, la tensión drenador-surtidor otorga energía suficiente a los electrones para superar la zona de agotamiento y la tensión de puerta permite modular la corriente que circula por el dispositivo. En estas condiciones, el MOSFET trabaja en la zona de corriente constante.

Las características eléctricas del MOSFET de estructura vertical dependen en gran medida de la capa de bajo dopado (n^-). En el estado de bloqueo, la mayor parte de la tensión V_{DS} cae en esta capa debido a su alta resistividad. Cuanto mayor es la tensión a bloquear, mayor es la longitud de esta región y por lo tanto en conducción, mayor resulta la resistencia de encendido ($R_{DS(on)}$), siendo responsable del 50% de las pérdidas de conducción en un MOSFET de 500V [20]. Así, para voltajes superiores a 600V, la caída de tensión del MOSFET en conducción ($V_{DS(sat)}$) es mayor que para los componentes bipolares, lo cual lo hace poco apropiado para aplicaciones de Media/Alta tensión [21].

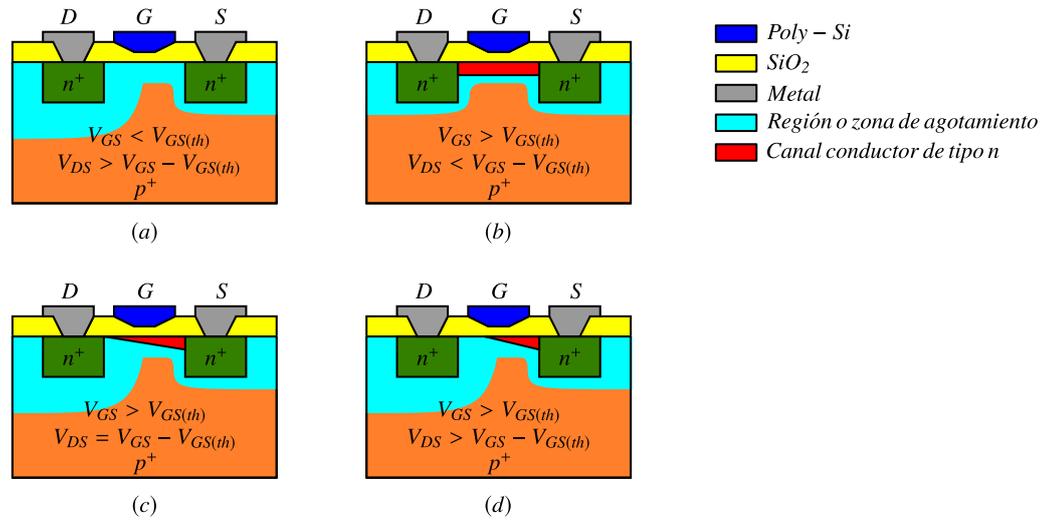


Figura 2.10: Modos de operación del MOSFET: (a) bloqueo, (b) zona activa, (c) pinch-off y (d) zona resistiva.

2.1.2.1 Características estáticas del MOSFET

Las características estáticas del MOSFET están determinadas por la característica de transferencia y la característica de salida (Figura 2.11 (a)). Por un lado, la característica de transferencia relaciona la corriente de drenador-surtidor (I_{DS}) y la tensión de puerta-surtidor (V_{GS}) cuando el MOSFET opera en su región activa:

$$I_{DS} = k \cdot (V_{GS} - V_{GS(th)})^2 \quad (2.8)$$

La pendiente de la característica de transferencia a una corriente dada se conoce como transconductancia (g_{fs}). Un valor alto de la transconductancia implica que un pequeño incremento en la tensión de puerta aumenta considerablemente la corriente que circula entre drenador y surtidor.

Por su parte, la característica de salida muestra la relación entre la tensión puerta-surtidor y la corriente drenador-surtidor para cualquier tensión drenador-surtidor, Figura 2.11 (b). En ella se pueden diferenciar la zona activa de trabajo y la zona óhmica caracterizada mediante la $R_{DS(on)}$. A su vez, si la tensión de puerta es nula, este permanece en la región de bloqueo. Esta condición también se puede representar en la característica de salida:

$$V_{DS} = I_{DS} \cdot R_{DS(on)} \quad (2.9)$$

En aplicaciones de potencia pulsada, el MOSFET trabaja bien en la zona óhmica (transistor saturado) o bien en corte. Durante la transición entre un estado y otro el MOSFET pasa por la zona activa de trabajo. Debido a las pérdidas que se generan en esta zona de trabajo, estas

transiciones de conmutación han de ser lo más breves posible.

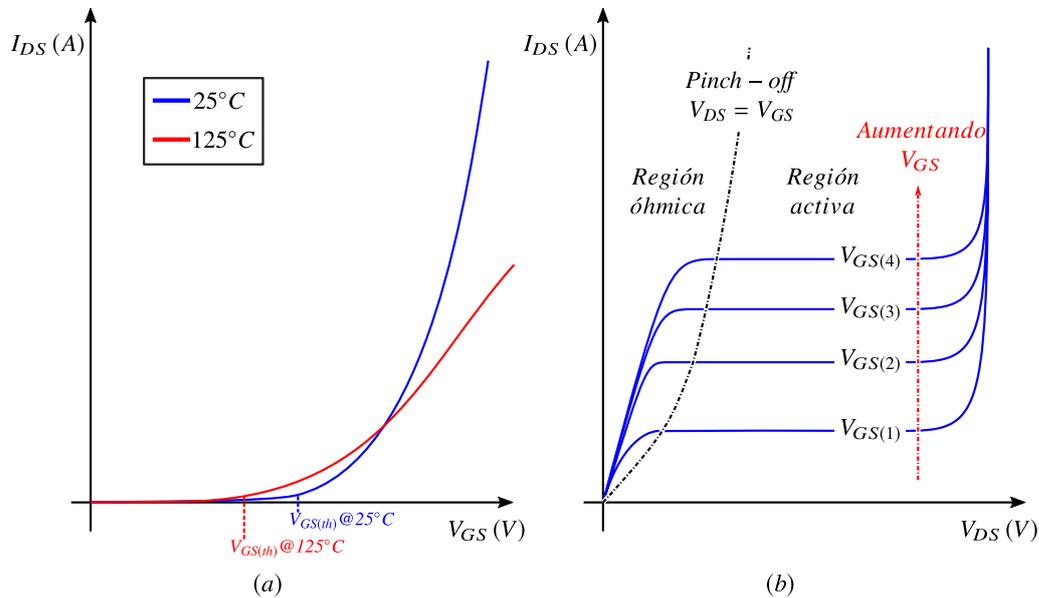


Figura 2.11: Características estáticas del MOSFET: (a) Transferencia y (b) característica de salida.

2.1.2.2 Comportamiento del MOSFET en conmutación

Tal y como se observa en la Figura 2.12 (a), el terminal de puerta G del MOSFET está aislado del material semiconductor. Esto implica que para mantener una tensión de puerta dada no hace falta corriente en el terminal de puerta (más allá de la muy baja corriente de fugas). Sin embargo, cuando se quiere pasar de un estado de conmutación a otro, es obligatorio cargar y descargar las capacidades interelectródicas del MOSFET (C_{GD} , C_{GS} y C_{DS}), las cuales determinan su comportamiento dinámico, Figura 2.12 (b).

Las capacidades de puerta C_{GD} y C_{GS} se crean entre los terminales de puerta y los materiales semiconductores con el dióxido de silicio de puerta SiO_2 actuando como dieléctrico de la capacidad. En el caso de C_{GD} , la zona de agotamiento, dependiente de V_{DS} influye notoriamente en su valor, por lo que esta capacidad no es constante y resulta altamente dependiente de V_{DS} . Esta capacidad de valor bajo, es particularmente importante en el proceso de conmutación debido a que es responsable del efecto Miller [18]. La capacidad C_{DS} se forma entre los terminales de drenador y surtidor siendo el dieléctrico de la capacidad la zona de agotamiento de la unión pn inversamente polarizada. Por ello, esta capacidad también resulta fuertemente dependiente de V_{DS} , Figura 2.13.

Para describir el comportamiento dinámico del MOSFET, se considera el circuito de conmutación básico de la Figura 2.14. En este, un driver convencional gobierna el terminal de puerta del MOSFET aplicando una tensión positiva para su encendido y una tensión nula para

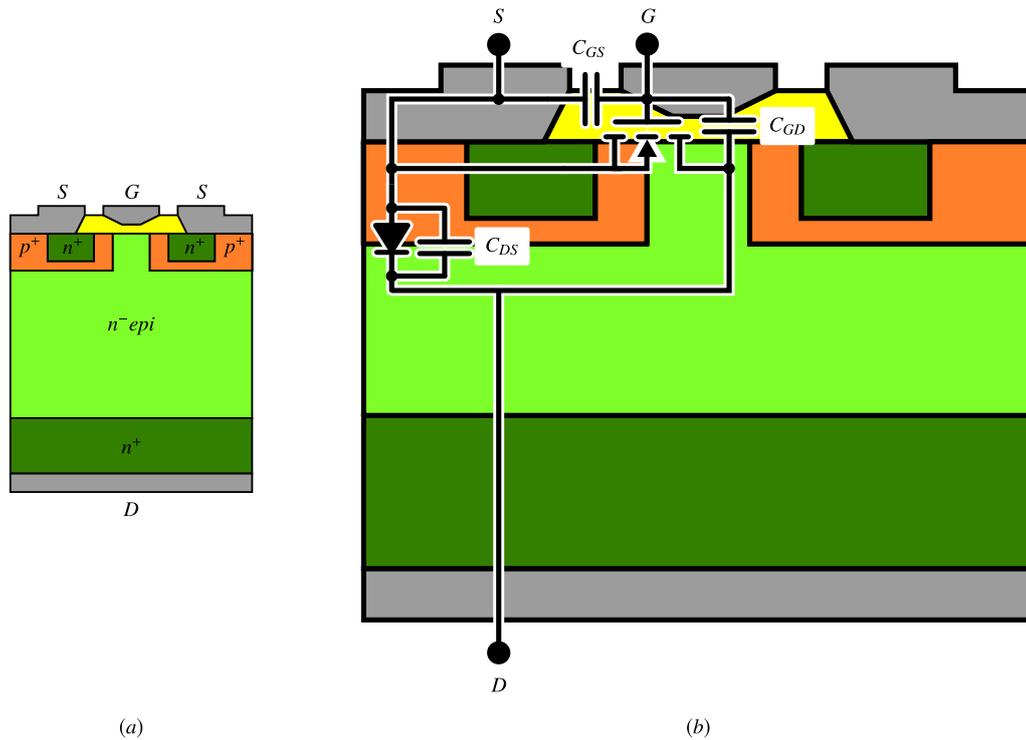


Figura 2.12: (a) Estructura vertical y (b) capacidades parásitas en el circuito equivalente interno del MOSFET.

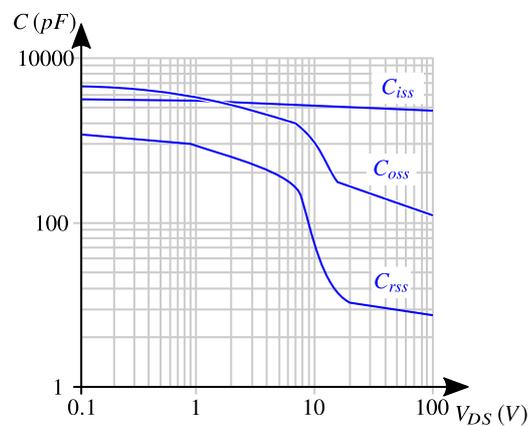


Figura 2.13: Dependencia de las capacidades interelectrodeas con respecto a la tensión entre drenador y surtidor.

su apagado. Durante el intervalo de tiempo en el que el MOSFET permanece encendido se aplica toda la tensión de bus en la inductancia de carga de forma que la corriente de carga aumenta. Durante el intervalo de tiempo en el que el MOSFET permanece apagado la corriente de carga circula por el diodo y por lo tanto, la inductancia de carga cede parte de su energía a través del diodo volante.

Cuando el MOSFET conmuta, es necesario cargar y descargar las capacidades interelectro-

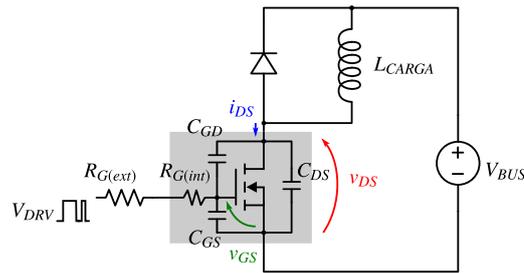


Figura 2.14: Circuito de conmutación inductivo mostrando las capacidades parásitas del MOSFET.

dicas del terminal de puerta mediante la corriente de puerta inyectada por el driver. Cuanto mayor sea la corriente de puerta menos tiempo se requiere para inyectar/extraer las cargas del terminal de puerta y por lo tanto más rápido es el proceso de conmutación. La Figura 2.15 muestra los procesos de encendido y apagado ideales del MOSFET.

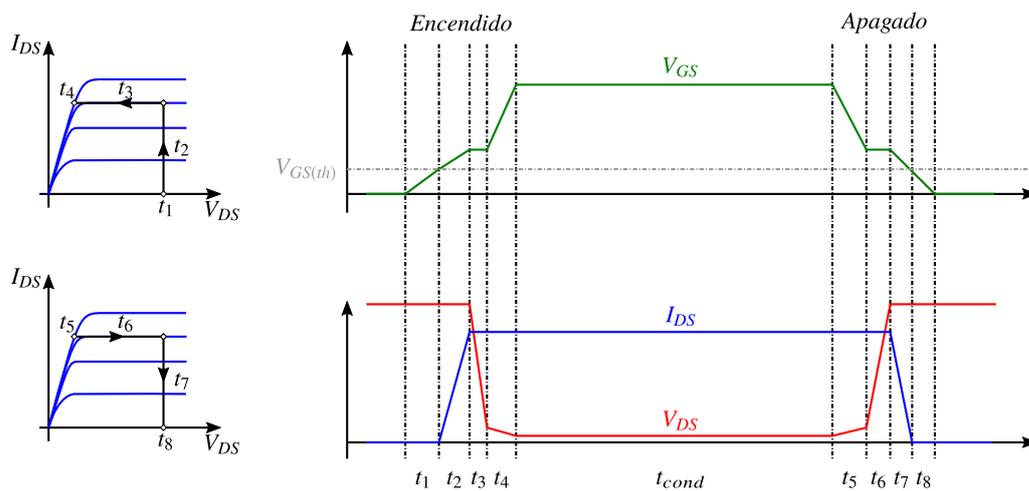


Figura 2.15: Evolución temporal del encendido y apagado de un MOSFET.

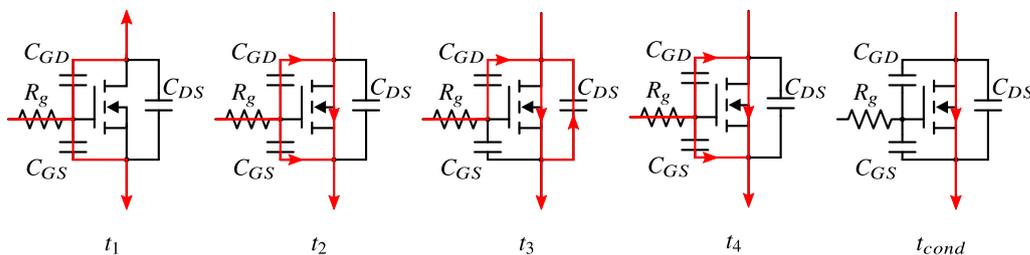


Figura 2.16: Proceso de encendido a través del dispositivo MOSFET.

El proceso de encendido comienza cuando el driver de puerta aplica una tensión de puerta positiva (V_{DRV}) en la Figura 2.14. Durante el primer intervalo de tiempo (t_1) en la Figura 2.15 y en la Figura 2.16, la tensión de puerta es inferior a la tensión de umbral de puerta ($V_{GS(th)}$) por

lo que el MOSFET permanece aún apagado y tanto la corriente (I_{DS}) como la tensión (V_{DS}) del lado de potencia se mantienen constantes. La duración de este intervalo de tiempo depende de las cargas que se han de inyectar por puerta hasta alcanzar el valor de $V_{GS(th)}$ y la corriente media inyectada en este intervalo de tiempo ($I_{GSAv(t_1)}$).

$$t_1 = \frac{Q_{GS(th)}}{I_{GSAv(t_1)}} \quad (2.10)$$

Donde $I_{GSAv(t_1)}$ se puede estimar como:

$$I_{GSAv(t_1)} = \frac{V_{DRV} - V_{GSAv(t_1)}}{R_g} = \frac{V_{DRV} - \left(\frac{V_{GS(th)}}{2}\right)}{R_g} \quad (2.11)$$

Siendo $V_{GSAv(t_1)}$ la tensión media en puerta durante este intervalo de tiempo. El intervalo de tiempo t_1 supone un retardo puro en el proceso de encendido del MOSFET y no influye en las pérdidas de conmutación al no producirse ningún cambio en la corriente ni en la tensión del lado de potencia.

$$t_2 = \frac{Q_{GS} - Q_{GS(th)}}{I_{GSAv(t_2)}} \quad (2.12)$$

$$I_{GSAv(t_2)} = \frac{V_{DRV} - V_{GSAv(t_2)}}{R_g} = \frac{V_{DRV} - \left(\frac{V_{GS(t_3)} + V_{GS(th)}}{2}\right)}{R_g} \quad (2.13)$$

Durante este intervalo se da la derivada de corriente de la corriente de drenador-surtidor. Debido a que el MOSFET se encuentra en la zona de trabajo activa, la característica de transferencia relaciona la tensión de puerta con la corriente de drenador. Por ello, conociendo la duración del segundo intervalo de tiempo, la derivada de corriente se puede estimar como:

$$\frac{di_{DS}}{dt} = g_{fs} \cdot \frac{dv_{GS}}{dt} = g_{fs} \cdot \frac{(V_{GS(t_3)} - V_{GS(th)})}{t_2} \quad (2.14)$$

Donde g_{fs} es la transconductancia del MOSFET que, por simplicidad en la expresión, se ha considerado constante.

Durante el tercer intervalo de tiempo, t_3 , el MOSFET conduce toda la corriente de carga y la tensión de drenador comienza a caer al nivel de saturación. Debido a que la corriente de carga permanece constante y el MOSFET aún está en la zona activa de trabajo, la tensión de puerta del MOSFET permanece constante durante todo este intervalo de tiempo y por lo tanto, toda la corriente de puerta circula a través de la capacidad puerta-drenador (C_{GD}). Esta capacidad inicialmente cargada a la tensión de bus se descarga con la corriente de puerta y

provoca la caída de tensión de drenador-surtidor.

$$v_{DS} = v_{DG} + v_{GS} \quad (2.15)$$

Como la tensión puerta-surtidor se mantiene constante:

$$\frac{i_G}{C_{GD}} = -\frac{dv_{DG}}{dt} = -\frac{dv_{DS}}{dt} \quad (2.16)$$

La duración de este intervalo de tiempo, t_3 , está determinado por las cargas (Q_{GD}) que se han de inyectar para cargar la capacidad de C_{GD} y la corriente media en este intervalo de tiempo, $I_{GS Av(t_3)}$. La cantidad de carga inyectada por puerta (Q_{GD}) en este intervalo de tiempo aumenta a medida que aumenta la tensión de trabajo v_{DS} .

$$t_3 = \frac{Q_{GD}}{I_{GS Av(t_3)}} \quad (2.17)$$

$$I_{GS Av} = \frac{V_{DRV} - V_{GS Av(t_3)}}{R_g} = \frac{V_{DRV} - V_{GS(t_3)}}{R_g} \quad (2.18)$$

Tal y como se muestra en la Figura 2.15, trabajando con una carga inductiva, las derivadas de tensión y corriente en el MOSFET se dan en intervalos de tiempo distintos y por lo tanto se pueden controlar de forma independiente.

Añadir una capacidad C_{GS} externa permite reducir la derivada de corriente del MOSFET sin que esta afecte a la derivada de tensión. Del mismo modo, tal y como muestra la Ecuación ??, se puede añadir una capacidad adicional C_{GD} de forma que se puede reducir la derivada de tensión del MOSFET sin que esto afecte a la derivada de corriente. Ambas soluciones son útiles si se quieren limitar problemas de sobretensiones o corrientes de recubrimiento inversa del diodo volante debido a derivadas de corriente excesivamente altas, o bien, reducir las derivadas de tensión para reducir problemas de EMIs, etc. En el intervalo de tiempo t_4 el MOSFET alcanza su tensión de saturación. En este punto la característica de transferencia no relaciona la tensión de puerta (v_{GS}) con la corriente de drenador (i_{DS}) y por lo tanto la corriente de puerta puede incrementarse para que el MOSFET mejore su nivel de saturación y reduzca así las pérdidas de conducción. La duración de este intervalo de tiempo se puede estimar como:

$$t_4 = \frac{Q_G - (Q_{GS} + Q_{GD})}{I_{GS Av(t_4)}} \quad (2.19)$$

$$I_{GS\ Av} = \frac{V_{DRV} - V_{GS\ Av}(t_4)}{R_g} = \frac{V_{DRV} - \left(\frac{V_{GS}(t_4) + V_{GS}(t_3)}{2}\right)}{R_g} \quad (2.20)$$

Durante el apagado, intervalos t_5 a t_8 de la Figura 2.15, se sigue el proceso inverso al encendido. Así, durante el intervalo t_5 el MOSFET pasa de la zona óhmica a la zona activa de trabajo, durante t_6 la tensión v_{DS} aumenta hasta la tensión de bus a través de la carga de C_{DS} y C_{GD} , y durante el intervalo t_7 se deja de conducir la corriente de carga hasta que esta se anula cuando la tensión de puerta alcanza la tensión umbral ($V_{GS(th)}$). Finalmente, en t_8 el MOSFET queda en bloqueo de tensión.

2.1.2.3 Limitaciones del Si-MOSFET para aplicaciones de Media/Alta tensión

Tal y como se muestra en la Figura 2.17 (a), para aumentar la tensión de ruptura del MOSFET se aumenta la longitud de la región n^- del cuerpo del MOSFET [22]. Por su parte, la resistencia en conducción del MOSFET ($R_{DS(on)}$) también es proporcional a la longitud de la región n^- del MOSFET y por lo tanto, a medida que aumenta la tensión de ruptura del componente mayores son sus pérdidas de conducción. Esto implica, a modo orientativo, que el MOSFET de silicio no es un dispositivo particularmente apropiado para alcanzar tensiones de bloqueo superiores a los 600V sin penalizar las pérdidas de conducción [20]. A pesar de ello, se pueden encontrar MOSFETs de super-unión (Super-Junction, SJ-MOSFET) que alcanzan hasta los 1,5 kV de tensión de ruptura [23]. Es de notar sin embargo que estos componentes son de corrientes relativamente bajas ($< 10A$) debido a su alta resistencia en conducción. En esta estructura de super-unión, se incrustan columnas p a lo largo de la capa epitaxial n^- (Figura 2.17 (b)). Así, en el estado de bloqueo, el campo eléctrico no solo se encuentra en la dirección vertical, sino también en el plano horizontal. De este modo, para bloquear una tensión determinada el ancho de la región n^- puede ser menor que una estructura convencional. A pesar de que con esta estructura se consigue una $R_{DS(on)}$ hasta cinco veces menor que para la estructura de MOSFET convencional, el proceso de fabricación cuenta con muchos más pasos lo que repercute negativamente en el coste final del dispositivo.

2.1.3 IGBT

La Figura 2.18 muestra tanto el símbolo como la estructura de un IGBT. La estructura del IGBT es muy similar a la de un MOSFET vertical de canal n . Ambos cuentan con una puerta metalizada aislada del semiconductor, una región p bajo el terminal de puerta en donde crear el canal conductor y una región n^- encargada de bloquear la tensión en el estado de apagado. Sin embargo, la estructura del IGBT incluye una capa p^+ adicional próxima al contacto de colector para superar las limitaciones en conducción que presenta la estructura del MOSFET

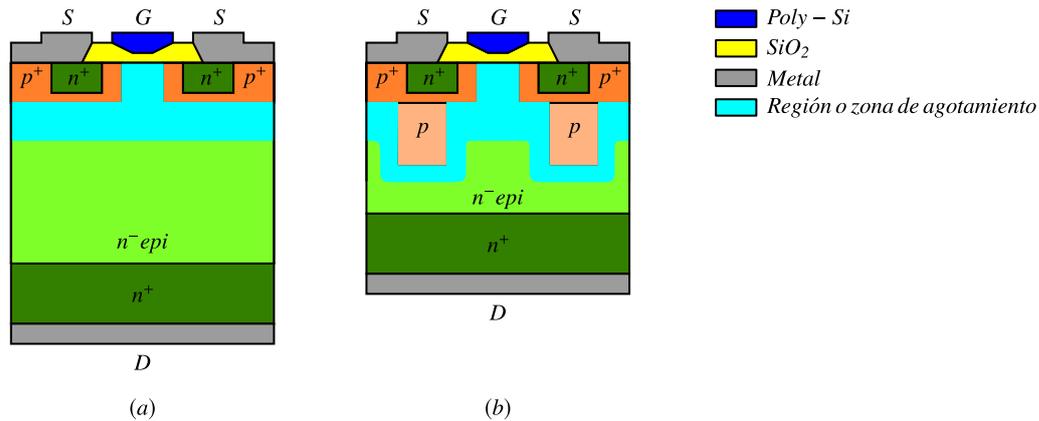


Figura 2.17: Estructuras verticales de (a) MOSFET estándar y (b) SJ-MOSFET en bloqueo.

de alta tensión, ya que de esta manera, un IGBT con capacidad de bloquear tensiones elevadas puede presentar baja caída de tensión en conducción.

Al igual que en el caso del MOSFET, para que el IGBT se encienda y se forme un canal conductor, se debe superar la tensión de umbral de puerta ($V_{GE(th)}$). De esta forma los electrones pueden comenzar a circular por el canal y por la región n^- . Pero a diferencia del MOSFET, esta corriente sirve de corriente base para el transistor pnp que aparece en la estructura del IGBT. De esta forma, la estructura del IGBT se inunda tanto de electrones y huecos que modulan la resistividad de la región n^- . Esto permite que incluso siendo un dispositivo de media/alta tensión, en conducción su caída de tensión en directa sea menor que la que presenta un MOSFET.

Sin embargo, esta capa p adicional en la estructura del IGBT presenta dos inconvenientes respecto a la estructura del MOSFET. Por un lado, en conducción directa aparece una caída de tensión adicional debido al umbral de la unión pn próxima al colector. A pesar de ello, a corrientes altas, la caída de tensión del IGBT resulta menor que la del MOSFET equivalente. Por otro lado, durante el proceso de apagado, debido a que el driver no tiene acceso a la unión pn próxima al colector, la recombinación de cargas en esta unión se ha de hacer de forma natural. Es por ello que en el proceso de apagado aparece una corriente de cola que afecta considerablemente a las pérdidas de conmutación en comparación con el MOSFET.

Al igual que el MOSFET, son dos las características estáticas del IGBT; la característica de transferencia y la característica de salida, Figura 2.19. La característica de transferencia, relaciona la tensión de puerta y la corriente de colector cuando el IGBT está en la zona activa de trabajo mientras que la característica de salida ofrece la misma relación para cualquier tensión colector-emisor.

El comportamiento del IGBT en conmutación también depende de sus capacidades interelectrónicas y de la resistencia de puerta. Tal y como se puede observar en la Figura 2.20, el comportamiento del IGBT es muy similar al del MOSFET (Subsección 2.1.2.2). La principal

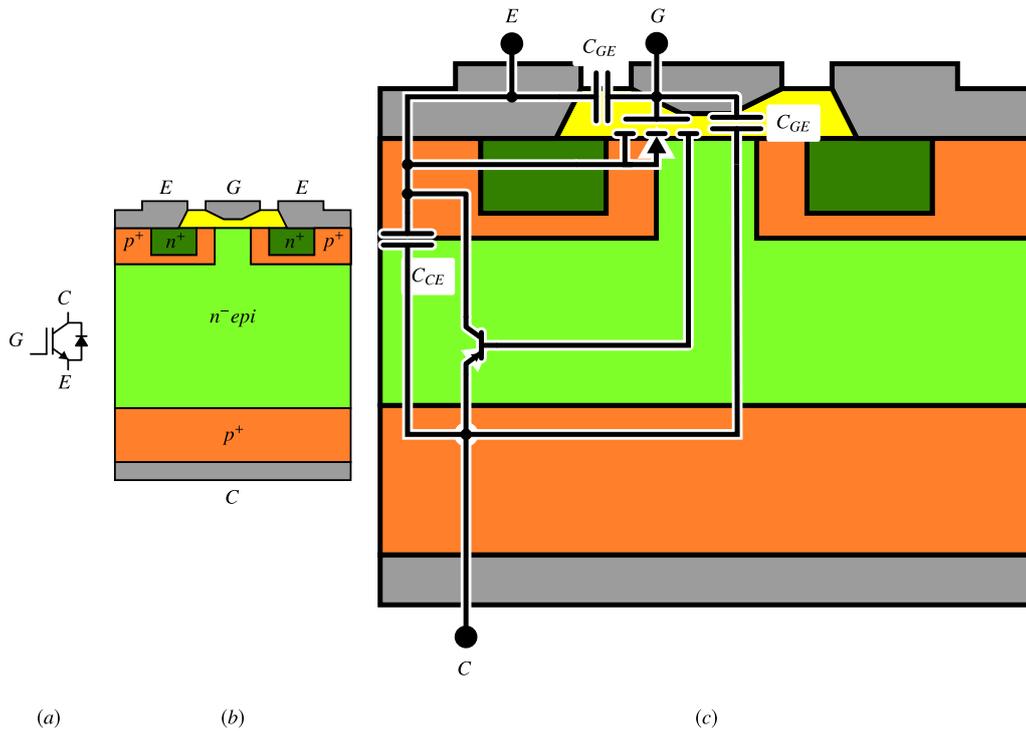


Figura 2.18: (a) Símbolo, (b) estructura y (c) capacidades parásitas en el circuito equivalente interno del IGBT.

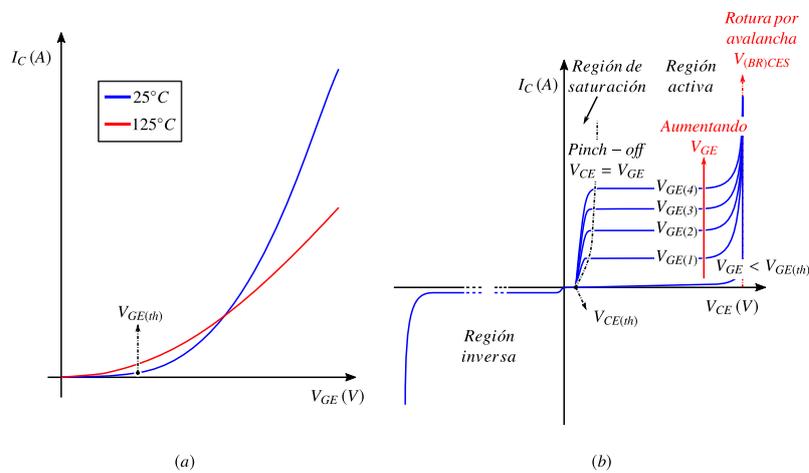


Figura 2.19: Características estáticas del IGBT: (a) Transconductancia y (b) salida.

diferencia en la conmutación de entre ambos dispositivos aparece en el apagado. Cuando el IGBT se apaga, aparece una corriente de cola debido a la recombinación de cargas en la unión pn próxima al colector. Esta corriente de cola incrementa significativamente las pérdidas de conmutación del IGBT en comparación con las del MOSFET.

La estructura equivalente de un IGBT contiene un MOSFET en configuración Darlington con un transistor pnp (Figura 2.21). A su vez, en esta estructura aparece un transistor npn

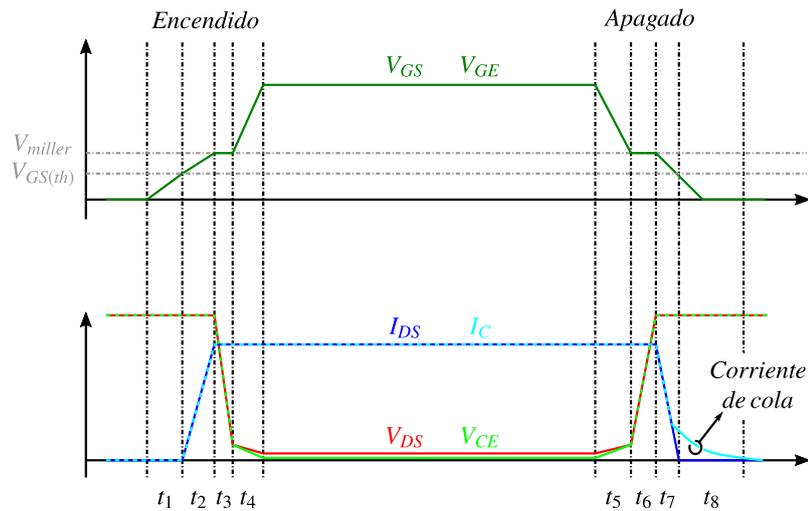


Figura 2.20: Comparativa de conmutación con carga inductiva entre un MOSFET y un IGBT.

que junto al transistor *pnp* forma un tiristor parásito [24]. Resulta evidente que si el tiristor parásito de esta estructura se activa no hay forma de apagarlo desde el terminal de puerta y por lo tanto esta condición conocida como latch-up ha de evitarse. El transistor *pnp* nunca trabaja en saturación fuerte para reducir el riesgo de activación del *nnp* parásito. Esto facilita la apertura del propio IGBT ya que resulta más sencillo apagar un transistor poco saturado que uno fuertemente saturado [25].

Así, la ganancia del transistor *pnp* controla las pérdidas de conducción y conmutación del IGBT así como la inmunidad frente al fenómeno de latch-up. De este modo, para reducir las pérdidas de conducción en el IGBT, se puede reducir la resistencia del MOSFET incrementando el tamaño del chip o bien aumentar la ganancia del transistor *pnp* tomando las consideraciones necesarias para que no suceda el latch-up. Ambas soluciones son las que se adoptan en los IGBTs actuales [26], [27].

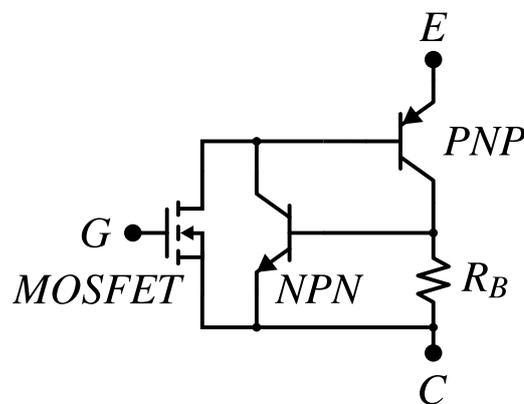


Figura 2.21: Circuito equivalente del IGBT.

Cuando el IGBT se apaga con mucha rapidez, la tensión de puerta del MOSFET de entrada

alcanza rápidamente su nivel de apagado y esto interrumpe la corriente de base del transistor *pnp* bipolar. Esta falta de corriente de base inicia la fase de apagado del IGBT. Como no existe ningún mecanismo para extraer estas cargas de base de forma controlada, el apagado del IGBT es relativamente lento. Es por ello que cuando el datasheet muestra la relación entre el tiempo de caída de la corriente (t_f) en el apagado respecto a la resistencia de puerta, se puede observar como para valores bajos de la resistencia de puerta, el tiempo de bajada de la corriente (t_f) apenas se ve modificado (Figura 2.22).

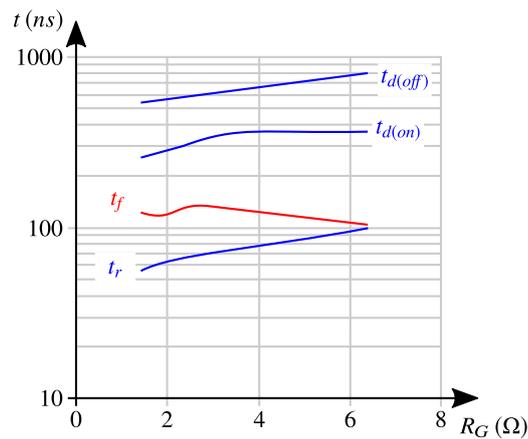


Figura 2.22: Característica típica de los tiempos de conmutación en función de la resistencia de puerta R_G [9].

Existen multitud de estructuras de IGBTs (Figura 2.23) que buscan una optimización de las pérdidas de conducción, estabilidad de las pérdidas de conmutación respecto a la temperatura, aumento de los límites de tensión y corriente y robustez frente a cortocircuitos [28].

En un principio se utilizaron estructuras planares, como las tecnologías “Punch Through” (PT IGBT) y “Non Punch Through” (NPT IGBT). La estructura del PT-IGBT se configura para dotar a este IGBT de menor caída de tensión en conducción y menor corriente de cola que el NPT-IGBT, mientras que el NPT-IGBT tiene mayor capacidad para bloquear tensión y es menos sensible a las variaciones de temperatura. Debido a razones económicas, pero también de aplicación y volumen, a principios del siglo XXI se buscan alternativas tecnológicas que aumenten la capacidad de corriente con menos material semiconductor. Este incremento de la densidad de corriente acarrea también tener que disipar más potencia en menor área. Para poder realizarlo se utilizan estructuras verticales mediante la tecnología de trinchera [29]. Dentro de la familia de IGBTs de trinchera, la tecnología SPT-IGBT (Soft-Punch-Through) está optimizada para obtener una dv/dt lineal durante la conmutación de apagado, con baja sobretensión y poca corriente de cola, con una transición suave entre la di/dt de apagado y la corriente de cola. La tecnología TFS (Trench-Field-Stop) por su parte, mejora la tensión de saturación $V_{CE(on)}$ y reduce sustancialmente el área del chip, luego su densidad es mayor teniendo también como contrapartida una mayor resistencia térmica para disipar su calor.

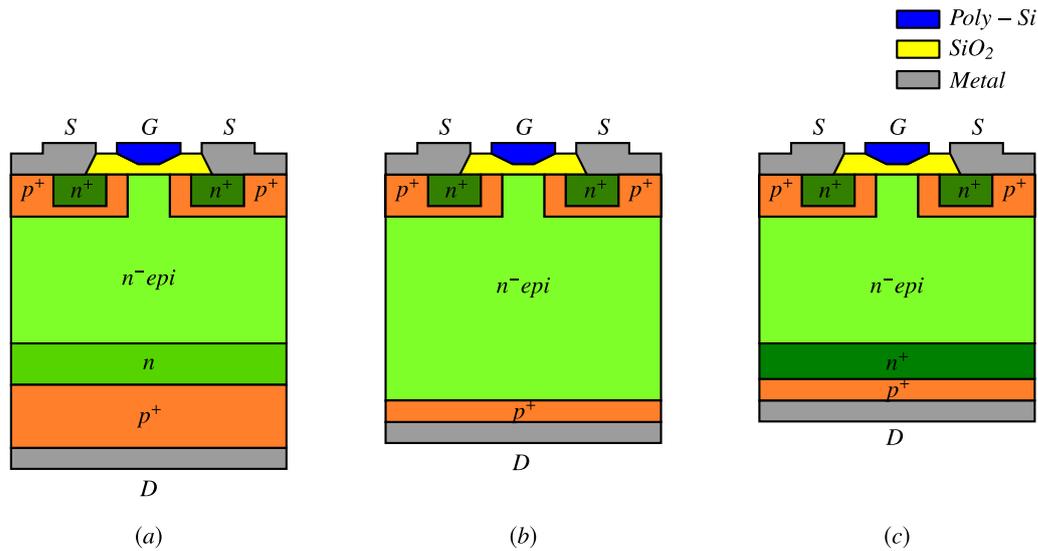


Figura 2.23: Estructuras del IGBT: (a) PT-IGBT, (b) NPT-IGBT y (c) TFS-IGBT.

2.2 Semiconductores de banda prohibida ancha

En este apartado se realiza un estudio sobre los materiales de banda prohibida ancha, revisando sus propiedades eléctricas y térmicas más destacadas y el impacto que estas tienen en las propiedades de los dispositivos de potencia. La física de estado sólido establece que hace falta suministrar una cantidad dada de energía a una molécula en equilibrio para alejar los electrones lejos de los núcleos de sus átomos. En una estructura molecular sólida o cristalina, como la de los materiales semiconductores, cobran protagonismo dos niveles de energía, la banda de valencia donde los electrones están unidos a sus átomos progenitores y la banda de conducción que está ocupada por los electrones libres, Figura 2.24. Estos electrones libres son aquellos que se han desligado de sus átomos y pueden moverse libremente, generando corriente eléctrica. Los metales son conductores porque las bandas de valencia y de conducción se superponen, y esto hace que los electrones se muevan con libertad de una a otra. En el caso de los semiconductores, las bandas de valencia y de conducción no se superponen, pero la diferencia energética (E_g) entre ambas es pequeña, por lo que una pequeña aportación energética hace que los electrones salten a la banda de conducción y, por lo tanto, conduzcan corriente. Por último, en los aislantes, las dos bandas están tan alejadas que la banda de conducción es inaccesible para los electrones de la banda de valencia y por lo tanto, son incapaces de conducir corriente.

Se denomina banda de energía prohibida de un semiconductor (E_g) a la energía requerida por un electrón para saltar desde la parte más alta de la banda de valencia a la parte más baja de la banda de conducción [30].

Mientras que el silicio tiene una banda prohibida de energía de 1,1 electrón voltios (eV),

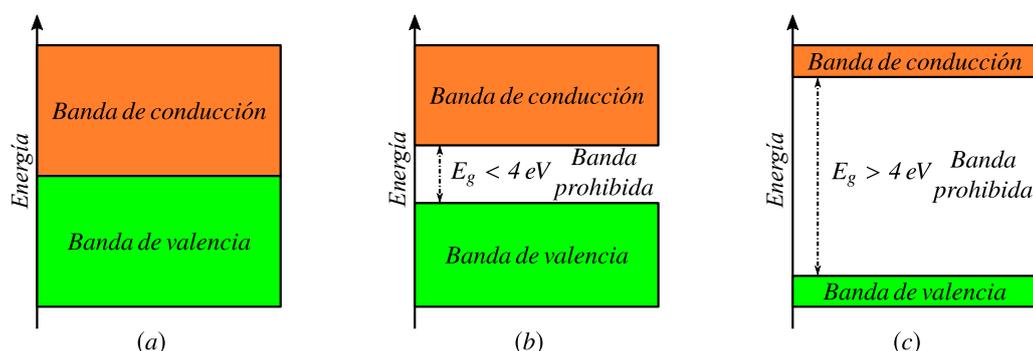


Figura 2.24: Bandas de energía de (a) un metal, (b) un semiconductor y (c) un aislante.

Tabla 2.1: Propiedades de los semiconductores WBG y del Silicio [11] [31]

Material	W_g (eV)	E_c (MV/cm)	μ_n (cm ² /Vs)	ϵ_r	n_i (cm ⁻³)	λ (W/cmK)
Semiconductor						
Si	1.12	0.29	1350	11.9	1e ¹⁰	1.5
3C-SiC	2.35	1.5	900	9.7	1.5e ⁻¹	3.2
4H-SiC	3.28	2.2	800	9.6	8e ⁻⁹	3.8
6H-SiC	2.96	3.2	370	9.6	5e ⁻⁹	4.9
GaN	3.4	2	1700	9	2e ⁻¹⁰	1.3/3
Diamante	5.5	20	2200	5.7	1e ⁻²⁰	20

los materiales Semiconductores de Banda Prohibida Ancha (*Wide Band-Gap*, *WBG*) tienen más de 2 eV . Esta diferencia permite que los dispositivos WBG operen a tensiones y temperaturas mayores que los materiales semiconductores convencionales como el silicio, ya que es necesaria más energía para hacer saltar un electrón desde la banda de valencia a la banda de conducción.

La Tabla 2.1 compara los parámetros que más impacto tienen tanto en las propiedades eléctricas como térmicas de semiconductores de banda prohibida ancha respecto a semiconductores de silicio.

Entre las propiedades eléctricas mostradas en la Tabla 2.1, E_c es el campo eléctrico máximo que el material puede soportar antes de que se produzca la avalancha. El nitruro de galio (GaN) y el carburo de silicio (SiC) presentan un valor de E_{crit} 7 u 8 veces mayor que el silicio (Si). Esto confiere a los semiconductores basados en nitruro de galio y carburo de silicio una mayor capacidad de bloquear tensión con una menor anchura de la zona resistiva con densidades de dopado mayores de los que permite el silicio, lo cual permite construir dispositivos de alta tensión con baja resistencia en conducción.

La tensión de ruptura de un diodo pn podría calcularse como:

$$V_{BR} \approx \frac{\epsilon_r \cdot E_c^2}{2 \cdot q \cdot N_d} \quad (2.21)$$

Donde q es la carga de un electrón, N_d es la densidad del dopado y ϵ_r la constante dieléctrica del material semiconductor. Sustituyendo los valores de la Tabla 2.1 en la Ecuación 2.21 y normalizando los resultados a la tensión de ruptura del silicio se obtienen tensiones de ruptura teóricas 46 y 34 veces mayores para los diodos formados con materiales 4H-SiC y GaN respectivamente. De forma similar la anchura de la zona resistiva de los dispositivos unipolares se reduce [32]:

$$W_d(V_{BR}) \approx \frac{2 \cdot V_{BR}}{E_C} \quad (2.22)$$

Lo que a su vez implica una reducción de su resistencia en conducción:

$$R_{(on)} \approx \frac{W_d^2}{\epsilon_r \cdot \mu_n \cdot E_c} \quad (2.23)$$

Donde la movilidad de electrones μ_n es la velocidad alcanzada por el electrón bajo la influencia de un campo eléctrico determinado. Una gran movilidad reduce la resistividad del material (ρ) y en consecuencia las pérdidas de conducción. Si bien el silicio presenta una mayor μ_n que el carburo de silicio y el nitruro de galio, el hecho de poder dopar fuertemente estos últimos hace que la resistividad del material disminuya.

$$\rho \approx \frac{1}{q \cdot \mu_n \cdot N_d} \quad (2.24)$$

Una elevada velocidad de saturación de los electrones, v_{sat} , permite al dispositivo conmutar con altas dinámicas. La velocidad de saturación de los materiales WBG es más del doble que la del silicio y por lo tanto, las cargas acumuladas en conducción se pueden extraer con mayor velocidad [32]. A su vez, la permitividad relativa, o constante dieléctrica ϵ_r , tiene una influencia importante sobre el valor de las capacidades interelectrónicas de los dispositivos. Valores bajos de capacidades interelectrónicas implican menor requerimiento de carga por puerta y, en consecuencia, mayores velocidades de conmutación.

Por último, la mayor conductividad térmica que presentan los materiales WBG (λ), sobre todo en el caso del carburo de silicio, permite relajar los requisitos de evacuación de calor del dispositivo y por lo tanto reducir el volumen del sistema de refrigeración.

De los materiales semiconductores WBG presentados en la Tabla 2.1, el carburo de silicio y el nitruro de galio son hoy en día los materiales más utilizados para construir dispositivos semiconductores de potencia debido a su coste y su estado más avanzado de desarrollo [33].

2.2.1 Nitruro de Galio - GaN

Actualmente el desarrollo de dispositivos de nitruro de galio no tiene el mismo nivel de madurez que el de dispositivos basados en carburo de silicio. La principal razón es que se han encontrado dificultades importantes relacionadas con la fabricación de un sustrato apropiado que permita explotar las propiedades del material [34], Tabla 2.1.

La unión de nitrógeno y galio en forma de nitruro de galio (GaN) crea una estructura cristalina en la que los iones del galio no tienen una disposición simétrica respecto a los del nitrógeno. Esto da lugar a que existan cargas de la misma magnitud pero de signo opuesto, separadas a cierta distancia, creando un momento dipolar [35]. Este efecto es llamado polarización espontánea (P_{sp}). Además, el material GaN es tensado por la atracción entre cargas de signo opuesto y se crea un campo eléctrico dentro del propio material. Este efecto es denominado polarización piezoeléctrica (P_{pz}). Ambos efectos de polarización ocurren también en la formación del material nitruro de aluminio-galio (AlGaN) [35].

Cuando se unen los materiales GaN y AlGaN las polarizaciones piezoeléctricas del AlGaN y las polarizaciones espontáneas de ambos materiales toman el mismo sentido (Figura 2.25 (a)), formando una heteroestructura con diferentes bandas de energía prohibida (Figura 2.25 (b)) [35].

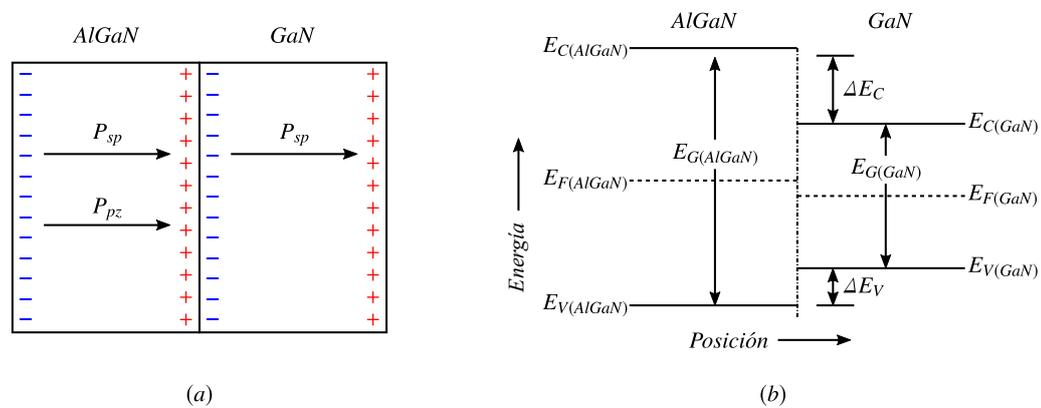


Figura 2.25: Heteroestructura AlGaN/GaN mostrando (a) las polarizaciones y (b) las bandas de energía.

En primer lugar se analiza por separado únicamente el material AlGaN de la Figura 2.25 (b). Al dopar este material con un dopado n hace que el nivel de Fermi esté más cerca de la banda de conducción, Figura 2.26 (a). Las polarizaciones espontáneas y piezoeléctricas hacen que la banda de energía, incluido el nivel de Fermi, se incline hacia la interfaz AlGaN/GaN (Figura 2.26 (b)). A su vez las polarizaciones actúan como una fuerza eléctrica sobre los electrones libres, obligándolos a moverse hacia el electrodo positivo, dejando cargas positivas en el electrodo negativo (Figura 2.26 (c)). Cuando el proceso se equilibra el nivel de Fermi vuelve a ser plano [36].

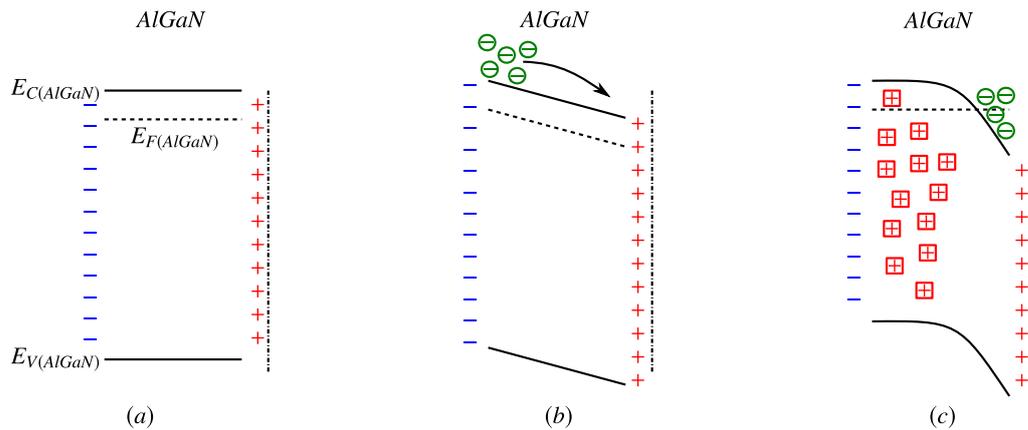


Figura 2.26: Banda de energía del AlGaN con dopado de tipo n (a). Los electrones se ven atraídos por el campo eléctrico de la polarización (b), doblando la banda de energía y dejando cargas positivas fijas en la superficie de Al-GaN (c).

Volviendo a la unión AlGaN/GaN, cuando el AlGaN se une con el material GaN, debido a que el nivel Fermi del GaN es menor que el del AlGaN, los electrones acumulados fluyen desde la capa inferior del AlGaN hasta la parte superior de la capa del GaN (Figura 2.27 (a)). De esta manera se va formando el gas 2DEG (Figura 2.27 (b)). Este proceso de crecimiento 2DEG se detiene cuando los niveles de Fermi de ambos materiales se alinean entre sí.

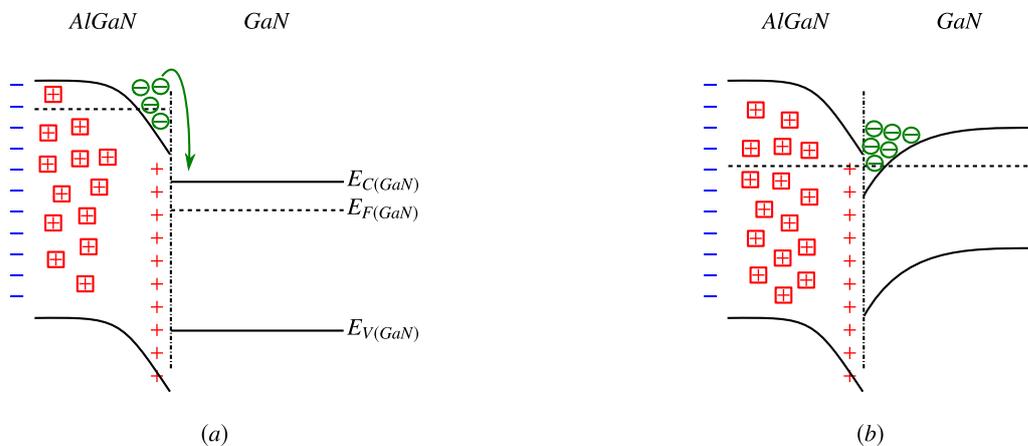


Figura 2.27: Banda de energía de una heteroestructura AlGaN/GaN con dopado n. Al entrar en contacto con una capa de GaN (a), los electrones fluyen hacia el GaN y (b) se acumularán en la interfaz y formarán 2DEG.

La formación del gas 2DEG provee de una de las principales características del nitruro de galio, ya que hace que la movilidad de los electrones pueda alcanzar valores en el rango de $1200 - 2000 \text{ cm}^2/\text{Vs}$, lo cual es hasta un 25% más que en el caso del silicio y hasta un 50% más en el caso del carburo de silicio, Tabla 2.1.

El nitruro de galio tiene un ancho de banda prohibida 3 veces mayor que la del silicio y 1,1 veces la del 4H-SiC, Tabla 2.1. Además, el nitruro de galio puede soportar un campo

eléctrico máximo aproximadamente 11 veces mayor que el del silicio y solo algo menor al que presenta el 4H-SiC. La principal desventaja del nitruro de galio frente a otros materiales es que su conductividad térmica es peor, lo cual dificulta la evacuación del calor generado en la unión.

Actualmente los dispositivos de nitruro de galio no alcanzan las potencias de sus homólogos de silicio o carburo de silicio principalmente debido a problemas relacionados con el sustrato. A diferencia del carburo de silicio, en el caso de nitruro de galio es muy difícil fabricar dispositivos de alta calidad sobre sustrato del mismo material. Para poder hacer dispositivos de potencia de estructura vertical (diodos PiN [37] y Schottky, transistores verticales [38], etc.) se requiere tener un sustrato de nitruro de galio de alta calidad. Este sustrato se fabrica mediante crecimiento epitaxial, deposición de sobrecapas cristalinas sobre sustrato cristalino, ya que los métodos tradicionales, como el proceso Czochralski [39], que se basa en el crecimiento cristalino de material fundido a partir de un sustrato semilla, no son procesos viables para la formación del nitruro de galio [34]. Sin embargo, los procesos utilizados para el crecimiento epitaxial presentan problemas de crecimiento uniforme del material y repetitividad. En la actualidad solo se han logrado diámetros de 2" en obleas de GaN a un precio 10 veces más alto que el SiC y hasta 100 veces más alto que el silicio [11], por lo que la industria ha optado por la deposición de capas de GaN en estructuras heteroepitaxiales, usando otro material (Si, SiC o Zafiro) como sustrato [40].

En un principio, se utilizaron técnicas para hacer crecer capas delgadas de GaN directamente sobre estos materiales. Sin embargo, la unión entre diferentes materiales produce defectos debidos a la diferencia entre las estructuras cristalinas de ambos materiales. Utilizando una capa de nitruro de aluminio (AlN) a modo de enlace entre el material GaN y el material utilizado como sustrato se reducen sustancialmente los defectos de fabricación mientras que se incrementan sustancialmente las propiedades ópticas (una alta eficiencia en procesos radiativos, emisión de luz, que los hace ideales para dispositivos optoelectrónicos) y eléctricas (mayor calidad cristalina del material, lo que aumenta la movilidad de los portadores) de las capas de GaN [41]. A pesar de ello, la temperatura de fabricación requerida en el proceso, $1100 - 1200^{\circ}\text{C}$, hace que no se puedan utilizar los materiales aislantes típicos (SiO_2) para crear el aislamiento de puerta de las estructuras MOSFET [42]. Todo ello lleva a que aún no se hayan comercializado dispositivos GaN con estructuras verticales como las de diodos, MOSFETs e IGBTs de potencia que permiten bloquear mayores tensiones [43], [38].

2.2.1.1 GaN HEMT

Debido a las limitaciones para crear estructuras verticales, actualmente los semiconductores de potencia basados en GaN son principalmente estructuras laterales. En la Figura 2.28 (b) se muestra la estructura de un transistor de alta movilidad de electrones (High Electron

Mobility Transistor, HEMT). Una de las propiedades más interesantes de esta estructura es que se forma un canal bidimensional de gas de electrones (2DEG e^- gas) como el explicado previamente (Subsección 2.2.1). En este canal los electrones se mueven libremente en dos dimensiones, pero están confinados en la tercera y permite una alta movilidad de los electrones, lo que permite dispositivos con unas resistencias de conducción ($R_{DS(on)}$) muy bajas, del orden de $70\text{ m}\Omega$ para un dispositivo con tensión de ruptura de 600 V y corriente nominal de 30 A a temperatura de cápsula de 25°C [44]. A esto se suma que el coeficiente de temperatura de la $R_{DS(on)}$ es menor que el de los dispositivos Si-MOSFET de superunión (SJ-MOSFET). En el rango de los 25°C a los 150°C , el coeficiente de temperatura típico para GaN es de 2, comparado con los 2,4 para los SJ-MOSFET. Esta diferencia en el coeficiente de temperatura implica que para dispositivos GaN-HEMT y SJ-MOSFET con una misma $R_{DS(on)}$ a temperatura de unión de 25°C , las pérdidas de conducción de los dispositivos GaN-HEMT serán menores que las del SJ-MOSFET a medida que a la temperatura de operación aumente.

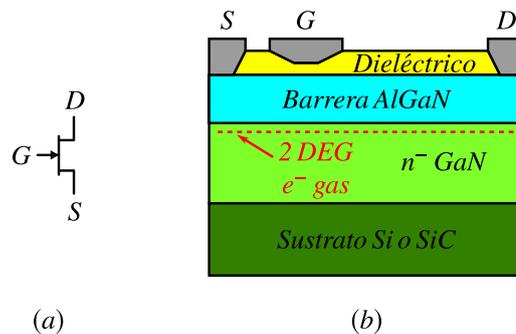


Figura 2.28: (a) Símbolo y (b) estructura del GaN HEMT.

Debido a la mayor movilidad de electrones y a su velocidad de saturación, los dispositivos GaN-HEMT pueden operar a alta frecuencia (hasta megahercios) [45]. Aunque teóricamente el nitruro de galio permite operar a tensiones de bloqueo elevadas debido a su límite de campo eléctrico, el hecho de utilizar una estructura de dispositivo lateral hace que los materiales de la superficie del HEMT de GaN limiten la tensión de ruptura. Como resultado, el mecanismo de ruptura del GaN-HEMT no es la avalancha tal y como sucede mayoritariamente en los dispositivos de silicio, sino que la ruptura es por el fallo del dieléctrico de los materiales de la superficie tal y como ocurre en los condensadores cerámicos [46]. Para obtener tensiones de ruptura adecuadas se debe aumentar la distancia entre los terminales de puerta y drenador lo cual repercute en un incremento de la resistencia en conducción, $R_{DS(on)}$. Esto hace que las tensiones de ruptura de los dispositivos GaN-HEMT actuales sean menores de 1000 V (de tensiones de ruptura de 600 V y resistencia de encendido de $R_{DS(on)}$ de $70\text{ m}\Omega$ típicamente). Además, al incrementar el material necesario para bloquear estas tensiones también se incrementa la resistencia en conducción. Otro limitante de la tensión de ruptura es la presencia del sustrato de material diferente. Al aplicar un alto campo eléctrico aumenta la corriente de fuga

entre el buffer de material GaN y el substrato Si, lo que conduce a la ruptura del transistor [47].

Existen además procesos de degradación de dispositivos semiconductores que se ven agravados en el caso del GaN-HEMT.

En el GaN-HEMT al aplicar tensiones entre drenador y surtidor los electrones pueden adquirir mucha energía cinética (denominados “electrones calientes”) en la capa 2DEG. Los electrones calientes pueden salir fuera del canal 2DEG en lugar de recombinarse con un hueco o ser conducidos a través del 2DEG hasta el drenador. De esta manera quedan atrapados en varias zonas del dispositivo: la superficie del dispositivo, en la capa de barrera de AlGaN o en la capa n^- de GaN. Esto da lugar a un aumento de la $R_{DS(on)}$, una degradación de la transconductancia y una variación en la tensión de umbral [35].

Además, debido a la naturaleza piezoeléctrica de la unión de los materiales AlGaN y GaN, se produce un desajuste de la red cristalina entre las interfaces de estos materiales. Cuando se aplica una tensión entre drenador y surtidor se pueden agravar estos defectos cristalográficos debido a las tensiones mecánicas que se producen. Esto implica una degradación estructural e irreversible del dispositivo [35].

Estas degradaciones pueden provocar que los electrones queden atrapados dentro del dispositivo. Esto provoca una reducción de la corriente de drenador-surtidor para una misma tensión aplicada, llamada colapso de corriente. Debido al colapso de corriente, la resistencia de conducción aumenta y con ello las pérdidas de conducción [48]. Este autocalentamiento afecta negativamente a los dispositivos, haciendo que el canal 2DEG alcance varios cientos de grados por encima de la temperatura ambiente. Esto afecta no sólo a su rendimiento, sino que acelera su degradación. Además, con el fin de evacuar el calor generado en el canal 2DEG a través del sustrato, la conductividad térmica de los sustratos se hace relevante [49]. Todo esto hace que las clasificaciones de densidad de corriente de los dispositivos HEMT sean bajas.

Los GaN-HEMT son transistores FETs, lo que significa que su modo de operación es normalmente encendido. Se debe aplicar una tensión negativa para poder bloquear tensión. Por ello, se debe tener especial cuidado durante el proceso de encendido en un convertidor de potencia real, lo que aleja a este dispositivo de su aceptación por parte de la industria.

Actualmente, se está trabajando en configuraciones que permitan el funcionamiento normalmente apagado [50].

Por un lado, están los dispositivos HEMT de enriquecimiento. Se basan en la deposición de una capa p sobre la estructura HEMT (Figura 2.29 (a)). La estructura que forman las capas bajo el terminal de puerta (GaN-canal-barrera-AlGaN) puede considerarse como una estructura de diodo-PiN con una zona de agotamiento. Con el dopaje de tipo p apropiado, la zona de agotamiento se extiende sobre el espesor de la capa del canal GaN para la polarización de la puerta de cero voltios y, por lo tanto, interrumpe el canal 2DEG. De esta forma el GaN-HEMT se convierte en un dispositivo normalmente apagado.

El control de estos dispositivos no se hace con drivers estándar. Los niveles de puerta no

superan los 3V y es necesario suministrar corriente constante por puerta durante la conducción [44], por lo que su control es más parecido al de un transistor BJT que al de un transistor MOS. El problema con estos dispositivos es que presentan una serie de problemas con la degradación de la puerta y la estabilidad de los parámetros eléctricos durante el funcionamiento a tensiones altas [51].

Por otro lado, se han desarrollado dispositivos que integran un MOSFET de silicio de baja tensión y un GaN HEMT en el mismo encapsulado (Figura 2.29 (b)) [52]. En este caso no se modifica la estructura del GaN HEMT. Se disponen ambos transistores en configuración cascodo. Se utilizan las propiedades de control del MOSFET de silicio y las propiedades de conducción y bloqueo de tensión del GaN HEMT. Pero debido a que ambos transistores comparten encapsulado las propiedades térmicas del conjunto quedan limitadas a las del silicio.

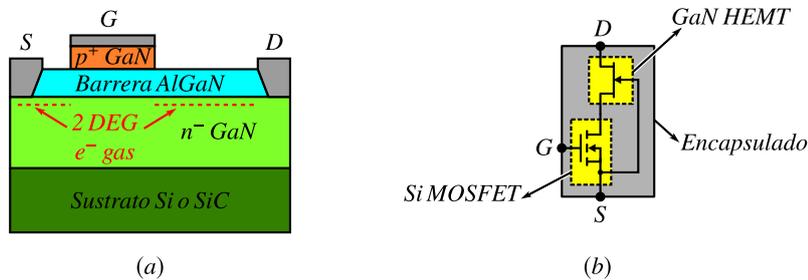


Figura 2.29: Soluciones para un GaN HEMT normalmente apagado: (a) estructura del GaN HEMT con capa p^+ y (b) configuración cascodo con MOSFET de silicio.

2.2.1.2 Dispositivos verticales GaN

Los dispositivos con estructuras verticales presentan una mejor relación entre la resistencia en conducción y la tensión de bloqueo que los dispositivos con estructuras horizontales. A pesar de que debido a las dificultades para la producción de un sustrato de GaN no se han podido comercializar dispositivos verticales basados en este material, se están desarrollando dispositivos de estructura vertical a nivel de investigación. En [53] se presenta un diodo GaN con estructura vertical de 3,7kV (con corrientes inferiores a 1A). La característica de salida de este diodo presenta una menor caída de tensión que sus equivalentes de silicio. También se están desarrollando transistores FET verticales, tanto normalmente encendidos como normalmente apagados [54] llegando a tensiones de ruptura de 1800V. Sin embargo, el elevado coste de este dispositivo debido tanto a los materiales como al proceso de fabricación lo hace poco competitivo frente a sus equivalentes de silicio o carburo de silicio.

2.2.2 Carburo de Silicio - SiC

El carburo de silicio (SiC) es un material binario compuesto de silicio y carbono. Cada átomo de silicio comparte sus electrones con cuatro átomos de carbono formando una estructura

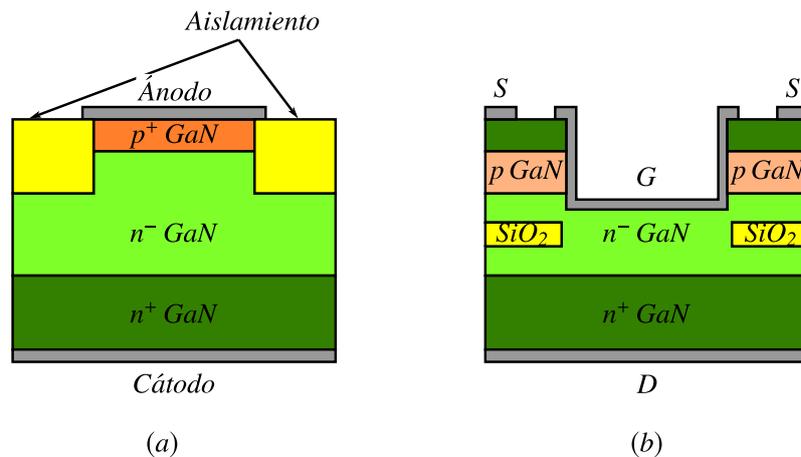


Figura 2.30: Estructuras verticales de (a) diodo y (b) FET normalmente apagado de GaN.

cristalina tetraédrica. A partir de esta estructura básica se pueden formar diferentes politipos SiC. Estos politipos son variaciones del mismo material compuesto que, aunque idénticos en dos dimensiones, difieren en la tercera, dando lugar a más de 250 estructuras cristalinas conocidas como politipos [55]. Una ligera variación de temperatura durante la fabricación del politipo, da lugar a diferencias en la forma en que crece su estructura cristalina. De entre todos, debido a sus prometedoras características, los politipos 3C-SiC, 4H-SiC y 6H-SiC (Figura 2.31) han recibido mayor atención para el desarrollo de dispositivos de electrónica de potencia. Actualmente los politipos 4H-SiC y 6H-SiC son los únicos sustratos de SiC sobre los que se pueden desarrollar dispositivos SiC. El sustrato de material 3C-SiC se puede procesar a baja temperatura utilizando el equipamiento estándar de la tecnología del silicio. Esto permite que las obleas resultantes se utilicen para fabricar dispositivos tales como diodos o MOSFETs con un proceso similar al utilizado en silicio, lo que constituye una reducción de costes de fabricación de dispositivos frente a los materiales 4H-SiC y 6H-SiC que necesitan mayores temperaturas de fabricación. Sin embargo, por ahora no existen dispositivos basados en material 3C-SiC disponibles comercialmente debido a defectos en la película 3C-SiC que se producen durante la fabricación del material que aún no han sido solventados [55], [56].

La fabricación de dispositivos SiC se realiza mediante la deposición de diferentes capas de material monocristalino sobre un sustrato de SiC monocristalino (capas homoepitaxiales). Este sustrato actúa como cristal semilla y la capa depositada crece con la misma estructura cristalina que la del sustrato. De esta forma, se pueden fabricar dispositivos con capas de diferentes dopados manteniendo al mismo tiempo la estructura original del sustrato [30]. Cuando se crean dispositivos electrónicos, es necesario que las estructuras cristalinas de los materiales contengan pocos o ningún defecto, tanto en el sustrato como en las capas epitaxiales, ya que esto implica uniformidad del área de trabajo del dispositivo en términos de propiedades eléctricas y térmicas. Actualmente, la mayoría de los dispositivos de SiC se basan en el politipo

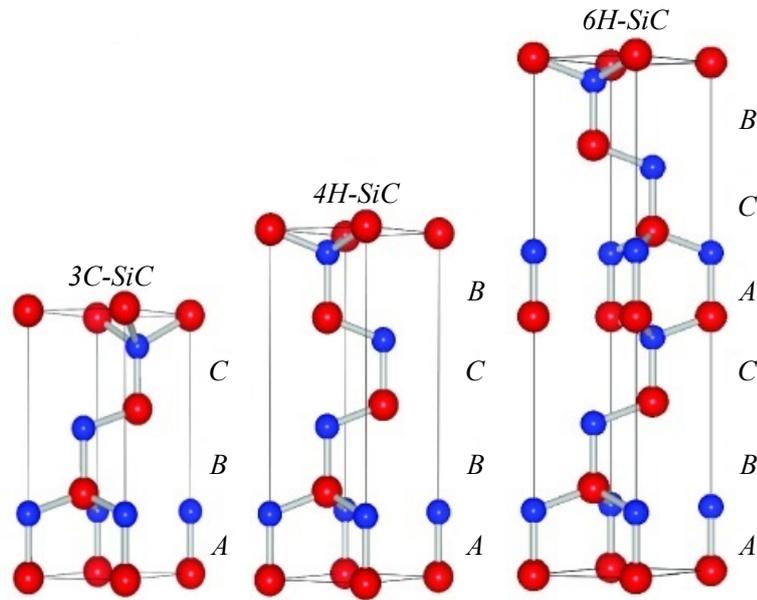


Figura 2.31: Estructura atómica de los politipos SiC más utilizados en electrónica de potencia. Las esferas rojas representan iones con carga positiva y las azules con carga negativa [52].

4H-SiC debido a la calidad de sustrato que se ha conseguido [57], debido a la mayor movilidad de portadores en el material n , particularmente en el eje vertical [58] lo que provoca pérdidas menores de conducción en dispositivos unipolares. Por último, debido también a la baja disparidad de sus propiedades eléctricas según la dirección en la que son alineados sus átomos [59] [60].

Hasta comienzos del siglo XXI, el coste de producción y la calidad del material de SiC habían limitado su penetración en el mercado. Durante la producción del SiC, su estructura cristalina experimenta tensiones internas y externas que en caso de no ser controladas causan el crecimiento de defectos dentro de la propia red atómica. Los factores que influyen en la formación de defectos durante la fabricación son la temperatura, la sobresaturación del material, la inserción de impurezas o la polaridad de la superficie del cristal que actúa como cristal semilla entre otros.

Por un lado, se pueden formar defectos cristalográficos en el sustrato, micropipe-s. Esto significa que dentro de un sustrato con una misma estructura cristalina comience a crecer una nueva estructura. Durante el proceso de crecimiento del material, la nueva estructura se propaga formando un micropipe o tubo con la nueva estructura a través del material tal y como se muestra en la Figura 2.32 (a). Una alta densidad de micropipe-s dentro de una oblea resulta en un desaprovechamiento de material disponible para la fabricación de dispositivos y dentro de un dispositivo provocan su deterioro y destrucción prematuras. En los últimos años se han logrado grandes mejoras en la fabricación, solucionando definitivamente los defectos de micropipe en el material SiC [61].

Por otro lado, otro de los problemas asociados a la introducción de dispositivos SiC en el mercado ha sido y continúa siendo la llamada degradación bipolar, que se produce cuando las uniones pn de SiC están polarizadas en directa y comienza a aumentar la tensión en cuestión de minutos. En la Figura 2.32 (b) se puede observar el material sin polarizar y tras haber estado polarizado en directa durante 5 minutos que provoca un incremento de la resistividad al reducir el área activa del dispositivo. Esta degradación del material, se debe a que al depositar capas epitaxiales en un material semiconductor se pueden formar fallos de apilamiento (stacking faults) debido desorden en la unión de las diferentes estructuras de cada capa [62]. Al no haberse resuelto completamente este problema [63], la industria opta principalmente por la fabricación de dispositivos unipolares.

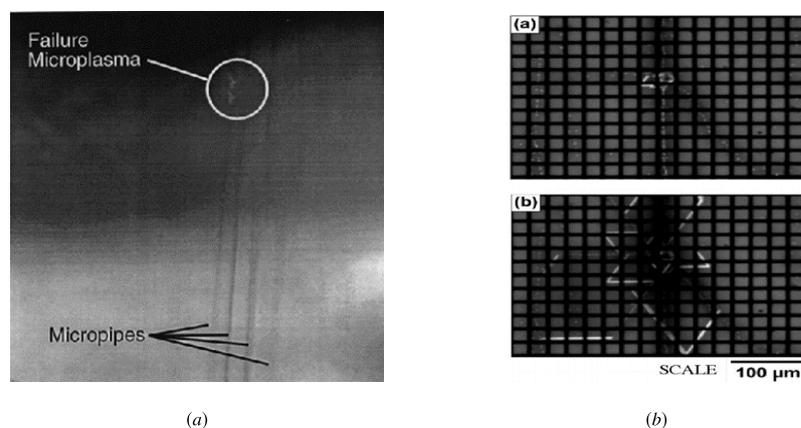


Figura 2.32: Principales problemas de fabricación de dispositivos SiC: (a) micropipes y (b) stacking faults [30].

Tal y como se ha comentado la capacidad del carburo de silicio para soportar un campo eléctrico es alrededor de 8 veces mayor que la capacidad del silicio. En consecuencia, podría decirse que los dispositivos de SiC tienen la capacidad de soportar la misma tensión de bloqueo con un material 8 veces más delgado. En la Figura 2.33 se representa, sin escala, la reducción de material en un hipotético diodo Schottky debido a la diferencia entre la distribución del campo eléctrico entre el Si y el SiC. Esta reducción en el espesor de la zona de deriva (W_d), reduce también la resistencia eléctrica del material durante el estado de conducción [64] y en consecuencia, se pueden conseguir densidades de corriente más altas. Además, la mayor velocidad de saturación v_{sat} y menor constante dieléctrica ϵ_r hacen posible el funcionamiento a mayor dinámica de conmutación en los dispositivos de SiC [65].

Por último, en el carburo de silicio la energía térmica que necesita un electrón para ser excitado y moverse desde la banda de valencia a la banda de conducción (E_g), creando así un par electrón-hueco, es mayor que en el caso del silicio. Así, incluso a altas temperaturas de unión, el dispositivo de carburo de silicio mantiene sus propiedades eléctricas dentro del rango de operación seguro. Esto hace posible el funcionamiento de dispositivos semiconductores de

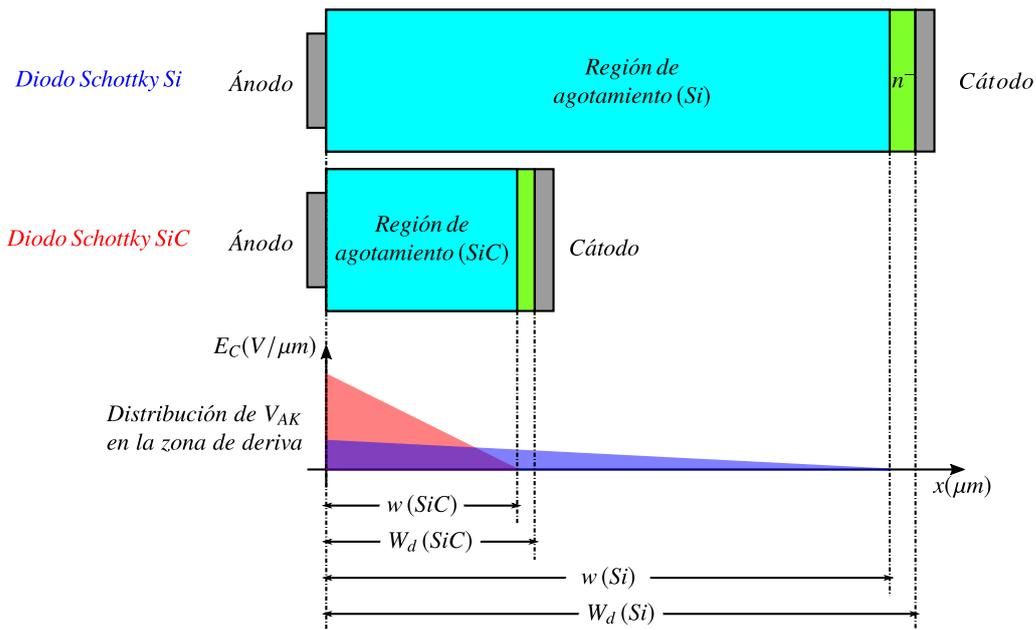


Figura 2.33: Comparación entre diodos Schottky de Si y SiC y la distribución del campo eléctrico en su zona de deriva.

carburo de silicio a alta temperatura. A su vez, el calor generado puede evacuarse mejor gracias a su mayor conductividad térmica, lo que teóricamente reduce los requisitos de refrigeración de la aplicación.

2.2.2.1 SiC-SBD

El SiC-Schottky Barrier Diode (SiC-SBD) fue el primer dispositivo SiC en ser comercializado [1]. La característica de los SiC-SBD es principalmente su capacidad de operar a alta frecuencia y alta tensión. Los diodos Schottky de carburo de silicio tienen la misma estructura que los de silicio. Mientras que los Si-SBD llegan hasta tensiones de ruptura de 200 V , los SiC-SBD, gracias a las características del material SiC, presentan una baja corriente de fuga cuando se polarizan en inversa utilizando mucho menos material para su zona de deriva, lo que hace posible mantener un funcionamiento estable a alta tensión y alta corriente. Este aumento de prestaciones hace que se posicionen en el mismo rango de corrientes y tensiones que los diodos FRD de potencia, Figura 2.34.

Inicialmente, los primeros diodos de SiC tenían la estructura básica de diodos de barrera Schottky (SBD), pero eran propensos a que estando durante un periodo continuado en estado de bloqueo aumentase la corriente de fuga hasta llegar a la ruptura del dispositivo. El principal motivo era que la unión entre metal y semiconductor en la barrera Schottky no era buena debido a imperfecciones en la superficie del material semiconductor n^- . Estas imperfecciones en la unión creaban puntos donde se concentraba el campo eléctrico, lo cual aumenta la corriente

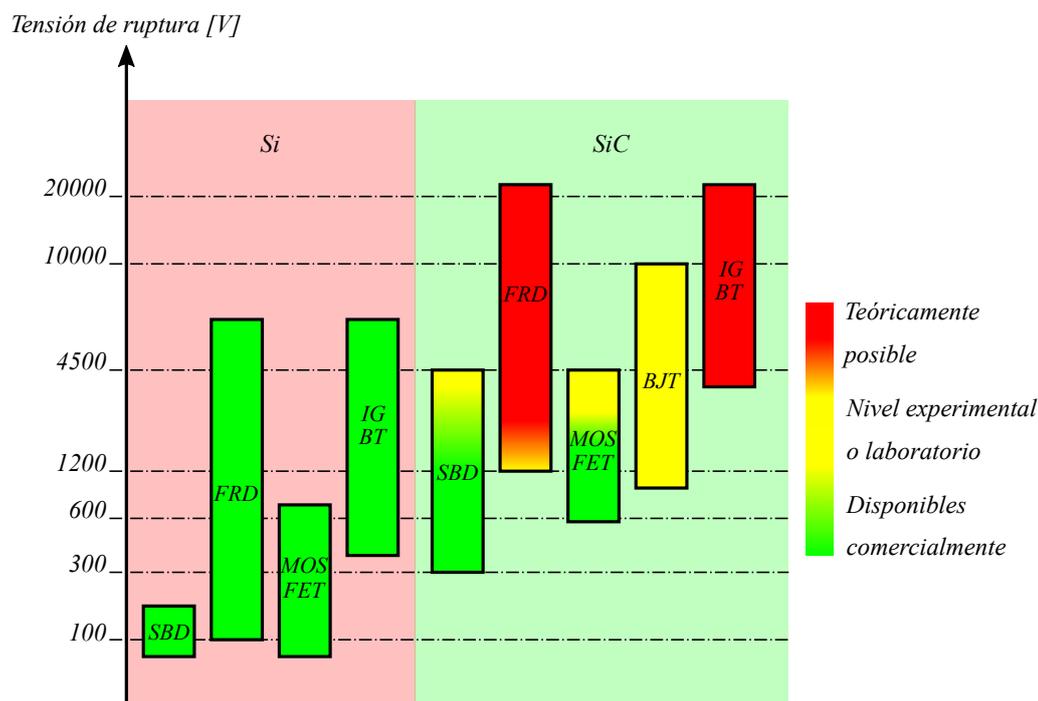


Figura 2.34: Comparativa de dispositivos Si vs. SiC en función de su tensión de ruptura y madurez tecnológica.

de fugas y hace que el dispositivo entre en avalancha térmica [66].

Para solventar el problema de la unión entre metal y material SiC n^- , los fabricantes utilizan la estructura llamada JBS (Junction Barrier Schottky) o el más sofisticado MPS (Merged PiN Schottky) [67], [68] y [66]. Para crear esta estructura se añaden pozos p^+ ubicados justo debajo de la barrera Schottky, Figura 2.35. Cuando el diodo JBS se polariza inversamente, la región de agotamiento entre en la interfaz de los pozos p^+ y la capa de deriva n^- aumenta. Como resultado, el nivel de campo eléctrico máximo se desplaza a la parte inferior de los pozos p^+ , alejándolo de los defectos de la barrera Schottky. De esta manera se consiguen corrientes de fuga más bajas y voltajes de ruptura más altos que los diodos de barrera Schottky convencionales.

La primera generación de SiC-SBDs tenía una tensión umbral en polarización directa $V_{(th)}$, determinada por la unión de Schottky, dos veces mayor que los diodos de recuperación rápida de silicio (Si-FRDs). Las mejoras en su proceso de fabricación han permitido reducir la caída de tensión de umbral $V_{(th)}$ hasta valores menores a $0,7V$ y lograr una caída de tensión en polarización directa para corrientes nominales de $20A$ a $1,5V$ a $25^\circ C$ y $2V$ a $175^\circ C$ para dispositivos de $1200V$ [67]. Este valor de temperatura máxima de unión es mayor que el de la mayoría de diodos Si-FRD, lo cuales, presentan temperaturas máximas de unión de $150^\circ C$. Aunque se han reportado SiC-SBDs capaces de trabajar a temperaturas de unión mayores (hasta $450^\circ C$ [69]), en los dispositivos comerciales no se alcanzan los límites teóricos del material por dos motivos

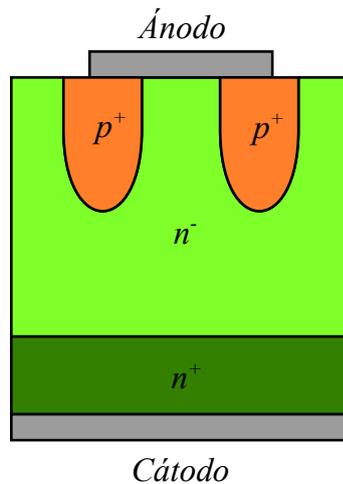


Figura 2.35: Estructura básica del diodo SiC-JBS.

principales [70]. Por un lado, debido a la condición de inestabilidad térmica o embalamiento térmico, el aumento de temperatura provoca el incremento de pérdidas de potencia que el sistema de refrigeración no puede disipar. En este caso, el dispositivo ve aumentar su temperatura continuamente, lo que finalmente resulta en su destrucción. Este mecanismo de fallo es muy rápido (unos pocos segundos), ya que solo está limitado por la capacidad térmica del dispositivo y la potencia disipada. Por otro lado, debido al envejecimiento térmico se aceleran los mecanismos de degradación del dispositivo con la temperatura. Este proceso se produce de una manera mucho más lenta que el embalamiento térmico. Los metales, aislamientos o encapsulados que componen el dispositivo tienen sus propios límites de temperatura que provocan que la composición del encapsulado se deteriore con el tiempo pudiendo llegar a la falla final del dispositivo.

En caso de que se deban conectar en paralelo SiC-SBD-s, su coeficiente de temperatura positivo provoca un equilibrado natural de las corrientes conducidas, siendo esta una notoria ventaja frente a los Si-FRD.

La característica de salida de los diodos SiC-MPS se muestra en la Figura 2.36. Al ser diodos Schottky con pequeñas islas p , la característica de salida es la combinación de ambas características, del diodo Schottky y del diodo de unión pn . Hasta la corriente nominal su respuesta es prácticamente la de un diodo Schottky. Para corrientes superiores, se polarizan las uniones pn , de forma que se modula la conductividad del diodo y provoca una reducción de la caída de tensión. A medida que incrementa la temperatura, dado que el coeficiente de temperatura de la unión Schottky es positivo y la de la unión pn es negativo, estas islas pn se polarizan a corrientes menores.

En general la característica de salida en polarización directa de los SiC-SBD de última generación (JBS o MPS) se puede definir de forma similar a la de un diodo Si-FRD de potencia

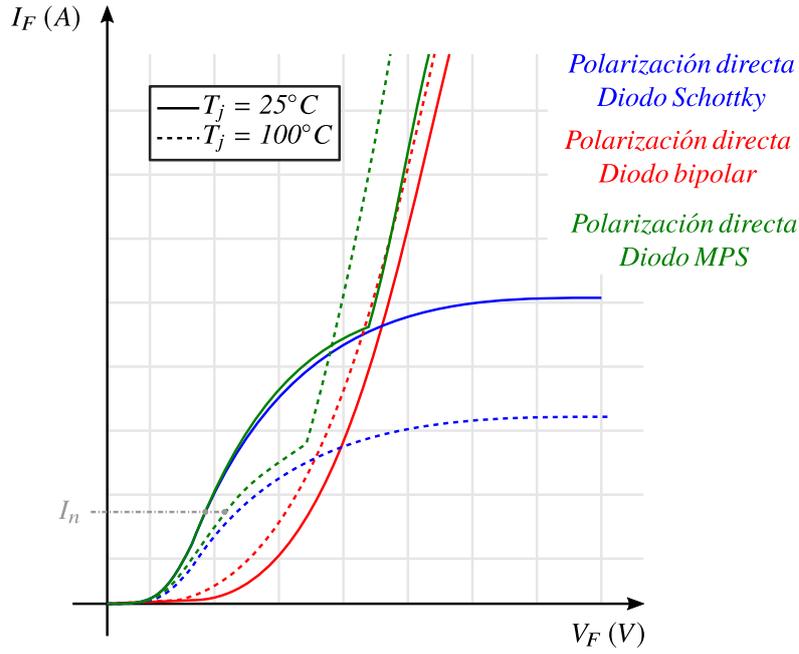


Figura 2.36: Característica de salida del diodo SiC-MPS.

[71], pero con la particularidad del coeficiente positivo de corriente.

$$V_F(I_F, T_j) = V_{th}(T_j) + r_d(T_j) \cdot I_F \quad (2.25)$$

Donde T_j es la temperatura de unión del dispositivo. La tensión umbral (V_{th}) y la resistencia de conducción (r_d) en función de la temperatura de unión se pueden calcular de la siguiente manera en función de la temperatura de unión:

$$V_{th}(T_j) = V_{th}(T_{j0}) + \alpha_{V(th)}(T_j - T_{j0}) \quad (2.26)$$

$$r_d(T_j) = r_d(T_{j0}) + \alpha_{r_d}(T_j - T_{j0}) \quad (2.27)$$

Siendo $\alpha_{V(th)}$ y α_{r_d} son coeficientes térmicos calculados a partir de dos temperaturas de referencia: $T_{j(ref1)}$ y $T_{j(ref2)}$:

$$\alpha_{V_{th}} = \frac{V_{th}(T_{j(ref2)}) - V_{th}(T_{j(ref1)})}{T_{j(ref2)} - T_{j(ref1)}} \quad (2.28)$$

$$\alpha_{rd} = \frac{r_d(T_{j(ref2)}) - r_d(T_{j(ref1)})}{T_{j(ref2)} - T_{j(ref1)}} \quad (2.29)$$

A diferencia de los diodos Si-FRD, donde los coeficientes son $\alpha_{V(th)} < 0$ y $\alpha_{rd} < 0$, en los diodos SiC-JBS estos coeficientes son $\alpha_{V(th)} < 0$ y $\alpha_{rd} > 0$. Por su parte, la característica de salida del diodo se define como:

$$V_F(I_F, T_j) = V_F(I_F, T_{j(ref1)}) + (T_j - T_{j(ref1)}) \cdot (\alpha_{V(th)} - \alpha_{rd} \cdot I_F) \quad (2.30)$$

Los diodos SiC-MPS o SiC-JBS son considerados dispositivos de portadores mayoritarios y como tales no tienen portadores minoritarios inyectados y almacenados en la capa de deriva durante la operación en polarización directa. Por lo tanto, a diferencia de los diodos Si-FRD, los diodos SiC-JBS no presentan el proceso de recuperación inversa relacionado con la extracción de portadores de carga de minoritarios y por lo tanto se pueden apagar con mayor rapidez. Al igual que los diodos Schottky, los diodos SiC-JBS desarrollan una región de agotamiento, bajo el metal del ánodo, en la capa de deriva para bloquear tensión durante el estado de apagado. De esta forma la región de agotamiento forma un condensador de unión en el dispositivo, lo que significa que el proceso de apagado de los diodos SiC-JBD es esencialmente el proceso de carga de la capacidad formada en la unión.

$$I_{RRM} = C_j \left(\frac{dv}{dt} \right)_{\text{máx}} \quad (2.31)$$

La capacidad C_j depende íntegramente del diseño del diodo lo que hace que el proceso de apagado sea prácticamente independiente tanto de la temperatura como del nivel y de la dinámica de apagado de corriente. Durante el transitorio de apagado, circula por lo tanto una pequeña corriente inversa que carga la capacidad C_j . Como la capacidad está formada por la región de agotamiento, la carga total necesaria Q_{Cj} depende de la tensión de apagado, siendo prácticamente proporcional a esta [68].

Durante los transitorios de encendido, las uniones pn entre los pozos p^+ y el material n^- se activan, haciendo que el diodo MPS pueda soportar picos de corriente mayores que el diodo Schottky convencional (bipolar boost) [66] y [71]. Si la corriente que conduce antes de su apagado es mayor que la corriente nominal se activan las uniones pn, lo cual supone que en el transitorio de apagado los portadores minoritarios tengan que volver a sus regiones de origen. Esto hace que se incremente la corriente de apagado debido al proceso de recombinación de la unión pn directamente polarizada. Aun así, las pérdidas debidas al transitorio de apagado se reducen en dos tercios comparado con un Si-FRD [72].

Así, dadas estas buenas características de conducción y conmutación junto a las bajas tasas

de fallo (FIT) que los diodos de potencia de silicio [73], los diodos SiC-SBD de 1200 – 1700V están siendo adoptados rápidamente por parte de la industria como sustitutos directos de los diodos Si-FRD. Su uso se está extendiendo juntándolos con Si-IGBTs en el mismo módulo, lo se conoce como módulo híbrido o junto con SiC-MOSFETs, lo cual se conoce como módulo full SiC [74].

Según [75], los diodos SiC-PiN ofrecen el mejor equilibrio entre pérdidas de conducción, pérdidas de conmutación y temperatura máxima de funcionamiento para diodos con tensiones de ruptura de 10kV a 20kV. Por lo que, en un futuro, cuando se solventen los problemas debidos a las uniones *pn* descritos en la Subsección 2.2.2 se espera la presencia de estos dispositivos en aplicaciones de tensiones que sobrepasen los 1,2, 1,7 o 3,3kV donde tienen mayor presencia los SiC-SBD actuales.

2.2.2.2 SiC-FET

La estructura del transistor SiC-JFET muestra en la Figura 2.37 (a). El SiC-JFET es un dispositivo normalmente encendido, ya que por construcción existe un canal entre surtidor y drenador por el que los electrones fluyen libremente. Como sólo circulan portadores mayoritarios (electrones) es un dispositivo unipolar y su estructura simétrica permite a la corriente circular en ambas direcciones con idénticas características. La mayoría de los dispositivos SiC-FET tienen estructuras verticales como la mostrada en la Figura 2.37 (a), por lo tanto, con el fin de aumentar la capacidad de tensión de bloqueo del dispositivo se incrementa la anchura de la región de deriva, con lo que también se incrementa la resistencia de conducción.

El SiC-JFET es un transistor accionado mediante tensión de puerta, tal y como se puede observar en la característica de transferencia de la Figura 2.37 (b), el canal es plenamente conductor cuando se aplica un voltaje nulo o positivo entre los terminales de puerta y surtidor V_{GS} . Al aplicar voltajes negativos en V_{GS} se incrementa la zona de agotamiento entre el terminal de puerta y el cuerpo y, por lo tanto, se reduce la conductividad del dispositivo pudiendo llegar al estado de bloqueo del dispositivo si se aplica la suficiente tensión negativa en el terminal de puerta. Este comportamiento puede ser un problema durante el proceso de encendido de un convertidor puesto que en la fase de energización de toda la circuitería y del bus del convertidor estos semiconductores están activos y pueden crear cortocircuitos. Aunque este dispositivo también existe en silicio, su uso en electrónica de potencia no está extendido dado su carácter de dispositivo normalmente encendido teniendo dispositivos normalmente cerrados como el MOSFET o el IGBT como alternativas preferidas. La principal razón por la que comenzaron a comercializarse estos SiC-JFET es que su terminal de puerta no está aislado del cuerpo del dispositivo. Por lo tanto, carece de los problemas de estabilidad y fiabilidad relacionados con el material de óxido aislante utilizado en el terminal de puerta del SiC-MOSFET [76].

Sin embargo, a pesar de las buenas características de conmutación que permiten operar a

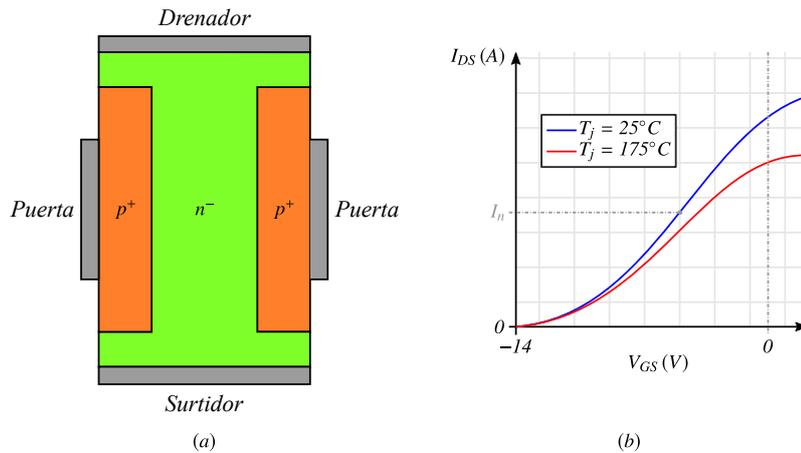


Figura 2.37: (a) Estructura básica del SiC-JFET y (b) característica de transferencia.

alta frecuencia de conmutación ($> 100 \text{ kHz}$ [77]) y su baja resistencia de conducción ($R_{DS(on)}$ de $70 \text{ m}\Omega$ para un dispositivo de 1200 V y 24 A a temperatura de cápsula $T_C = 100^\circ \text{C}$ [78]), estos dispositivos exigen drivers de puerta particulares debido a que sus niveles de tensión de puerta no son estándares y a su vez, carecen de un diodo intrínseco a su estructura que actúe como diodo volante. El uso de una configuración en cascodo, Figura 2.38 (b), solventa ambos problemas ya que el Si-MOSFET aporta el diodo intrínseco y permite trabajar con tensiones de puerta propias de un Si-MOSFET [79].

La configuración cascodo hace posible controlar el dispositivo con drivers convencionales. Un driver de puerta convencional controla el Si-MOSFET de baja tensión. Mediante el voltaje de drenador-surtidor del MOSFET se controla indirectamente el SiC-JFET. El principal inconveniente de esta configuración, al igual que en el caso de los GaN-HEMT con esta misma configuración, es que al contener materiales con diferentes características térmicas en un mismo encapsulado no se pueden utilizar todas las propiedades del SiC. En caso de utilizar encapsulados diferentes para cada uno de los dispositivos, el Si-MOSFET por un lado y el SiC-JFET por el otro, al operar a dinámicas de corriente y tensión muy altas, las inductancias parásitas resultantes pueden derivar en problemas de sobretensiones y EMCs.

Las mejoras en la fabricación del óxido de puerta han propiciado la irrupción del SiC-MOSFET, por lo que el uso del JFET en aplicaciones de potencia reales será marginal.

2.2.2.3 SiC-MOSFET

Al igual que sucede con los diodos de carburo de silicio, el carburo de silicio hace que los SiC-MOSFETs alcancen mayores tensiones de operación que los Si-MOSFETs, permitiéndoles competir en el rango de tensiones que hasta ahora copaban los IGBTs de silicio, tal y como se observa en la Figura 2.34. Hasta ahora, el Si-IGBT era la opción preferida para tensiones superiores a 1000 V ya que siendo un dispositivo bipolar, a estas tensiones presenta bajas pérdidas

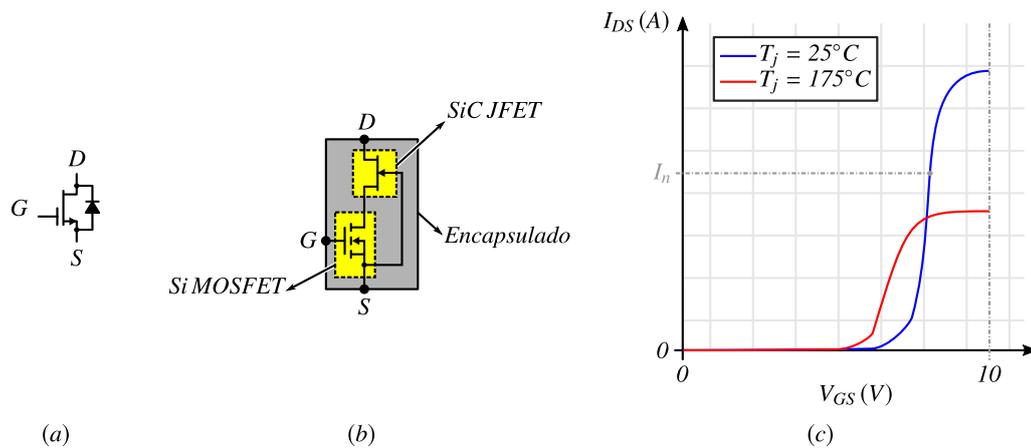


Figura 2.38: (a) Símbolo, (b) configuración y (c) característica de transferencia del JFET en cascode con MOSFET de silicio.

en conducción. Sin embargo, su principal inconveniente es que debido a las relativamente altas pérdidas de conmutación no puede operar a alta frecuencia (Subsección 2.1.3). En el caso del SiC-MOSFET, debido a que el carburo de silicio es capaz de bloquear una mayor tensión con menos material, esto otorga al SiC-MOSFET una resistencia muy baja en conducción. Además, los SiC-MOSFET al ser dispositivos unipolares permiten una conmutación más rápida que un Si-IGBT lo cual les permite trabajar a altas frecuencias de conmutación.

Estructuras SiC-MOSFET Las estructuras utilizadas para fabricar SiC-MOSFETs son muy parecidas a las de los Si-MOSFET de potencia. En la Figura 2.39 se muestran las estructuras verticales de SiC-MOSFET planar y de trinchera. En ambos casos su estructura es vertical, ya que con una estructura vertical la tensión de ruptura del transistor depende del dopado y del espesor de la capa n^- . La estructura de trinchera permite alinear el canal MOS con la dirección de la corriente, lo que permite reducir la resistencia del mismo [58]. Esto hace posible que el transistor bloquee alta tensión y pueda conducir corrientes elevadas. Las regiones de surtidor n^+ se difunden o implantan en el sustrato de tipo p ligeramente dopado, y una capa de óxido de silicio aísla la puerta del material semiconductor. Uno de los retos más importantes en la fabricación de un SiC-MOSFET ha sido conseguir utilizar un aislante fiable y estable en el tiempo para el terminal de puerta. Así, la característica de polarización directa I-V y la tensión de umbral de puerta $V_{GS(th)}$ son estables. Esta ha sido la razón principal por la que el SiC-MOSFET haya sido comercializado más tarde que el SiC-JFET.

La degradación del óxido de puerta es más crítica en los SiC-MOSFET que en los dispositivos de silicio. Esto se debe a que al ser dispositivos más pequeños es menor el grosor del óxido de puerta y a su vez el campo eléctrico que se desarrolla a través del óxido de la puerta es mayor [80]. Esta degradación puede provocar por un lado la rotura del dispositivo por bloqueo de tensión prolongado (Time Dependent Dielectric Breakdown, TDDB) y por otro la deriva

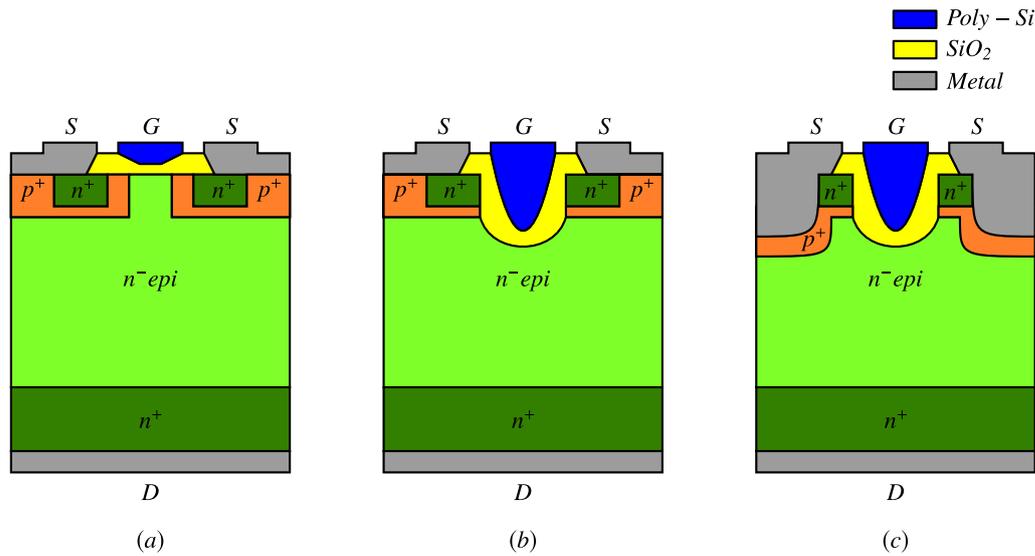


Figura 2.39: Estructuras SiC: (a) DMOSFET, (b) MOSFET de trinchera y (c) MOSFET de doble trinchera.

gradual de la tensión umbral, $V_{GS(th)}$. Además, esta degradación impacta directamente en la resistencia del canal cuando el MOSFET se encuentra encendido [81]. La degradación provoca un aumento simultáneo de $V_{GS(th)}$ y la tensión de miller, que repercuten en un aumento en las pérdidas de conducción y pérdidas de conmutación [80].

Esto se ha solventado gracias a las mejoras en los procesos de crecimiento del óxido [73] y la utilización de la estructura de trinchera. La estructura de trinchera en material 4H-SiC ofrece una mayor conductividad del canal que la de una estructura DMOS debido a un menor número de defectos (*trap*). Además, esta estructura logra una mayor robustez ya que no hay necesidad de saturar el óxido de la puerta para obtener una buena conductividad del canal [71]. Por su parte, la arquitectura de doble trinchera (trincheras de puerta y de surtidor) mostrada en la Figura 2.39 (c) distribuye el campo eléctrico en varias zonas (bajo la trinchera del surtidor mayormente) reduciendo el grosor del chip y consiguiendo así reducir la $R_{DS(on)}$ frente a la estructura planar [82]. Estas mejoras han conseguido que los SiC-MOSFETs alcancen niveles de calidad similares a los de sus equivalentes en silicio, Si-MOSFET y SI-IGBT [83].

La resistencia de conducción $R_{DS(on)}$ total de un MOSFET es la suma de los valores óhmicos del canal, la región JFET y la región de deriva.. La resistencia de la región JFET se ve afectada por el espacio entre los terminales de surtidor. La resistencia de la zona de deriva se ve afectada por el dopaje y el espesor de la capa n^- . Por último, la resistencia del canal se ve afectada por la movilidad de portadores en el canal y el voltaje de umbral. La resistencia en los dispositivos de carburo de silicio comerciales es normalmente superior a los valores teóricos alcanzables debido a la variabilidad de las propiedades del canal producidas por el óxido de puerta (SiO_2). Mientras que, en las estructuras de silicio, la región de deriva es dominante a niveles de voltaje

altos, no ocurre lo mismo con los dispositivos de carburo de silicio debido a que la anchura de esta región es más delgada y sus concentraciones de dopado mayores. Así, los SiC-MOSFET tienen una menor resistencia debida a la capa de deriva que los Si-MOSFET, pero la menor movilidad de portadores del carburo de silicio (Tabla 2.1) hace que la resistencia de su canal sea mayor. Por esta razón, cuanto mayor sea la tensión aplicada en puerta, menor será la resistencia de encendido $R_{DS(on)}$.

Características estáticas La característica de transferencia del SiC-MOSFET se muestra en la Figura 2.40 (a). Se puede observar como a medida que aumenta la temperatura la corriente disminuye, lo que es beneficioso para limitar la corriente de saturación en caso de cortocircuito. La tensión de umbral $V_{GS(th)}$ del SiC-MOSFET es aproximadamente $3 - 4,5 V$ (según cual sea el fabricante [58], [83]) a temperatura ambiente, lo que en principio proporciona una buena inmunidad al ruido contra el encendido por dv/dt . Sin embargo, la tensión de umbral disminuye al aumentar la temperatura y la tensión aplicada entre drenador y surtidor Figura 2.40 (b). Este efecto se llama DIBL (Drain-Induced Barrier Lowering) e implica una reducción de la barrera provocada por la tensión de drenador.

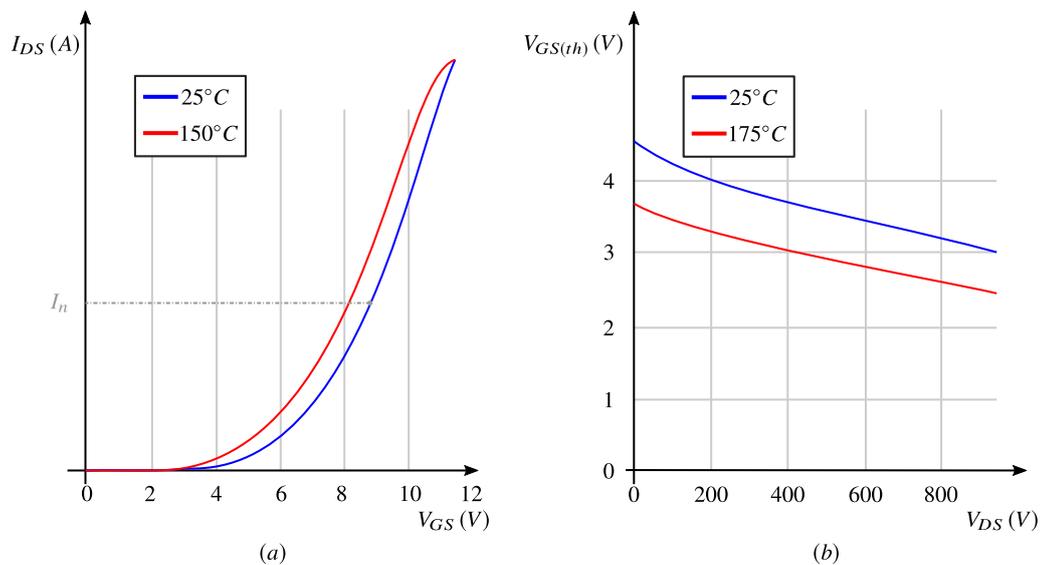


Figura 2.40: Característica de transferencia (a) y efecto DIBL del SiC-MOSFET (b).

La característica de salida típica del SiC-MOSFET se muestra en la Figura 41. Se muestra la corriente de drenador en función de la tensión V_{DS} con diferentes tensiones de puerta V_{GS} a temperaturas de unión diferentes ($25^\circ C$ y $175^\circ C$). A diferencia de los Si-IGBT, los SiC-MOSFET carecen de un voltaje de umbral en la característica salida, por lo que hasta cierto nivel de corriente sus pérdidas de conducción son menores. Como la $R_{DS(on)}$ se reduce aumentando la tensión positiva aplicada en puerta, los SiC-MOSFET se alimentan con niveles positivos que van desde los 15 a los $20 V$ según el fabricante ([58], [82] y [83]). Con tensiones de puerta

inferiores a 13 V , aumenta significativamente la $R_{DS(on)}$ y el coeficiente de temperatura pasa a ser negativo, lo cual repercute negativamente en la capacidad de repartir la corriente entre los chips o dispositivos conectados en paralelo. Por estos motivos no se recomienda utilizar en ningún caso tensiones de puerta por debajo de 13 V para el encendido del SiC-MOSFET. Una particularidad frente a los Si-MOSFET es que debido al efecto *Drain Induced Barrier Lowering* (DIBL), la corriente de drenador aumenta a medida que aumenta la tensión de drenador en la zona activa. Esto implica también que en caso de cortocircuito la corriente dependa no solo de la tensión de puerta, sino de la tensión V_{DS} .

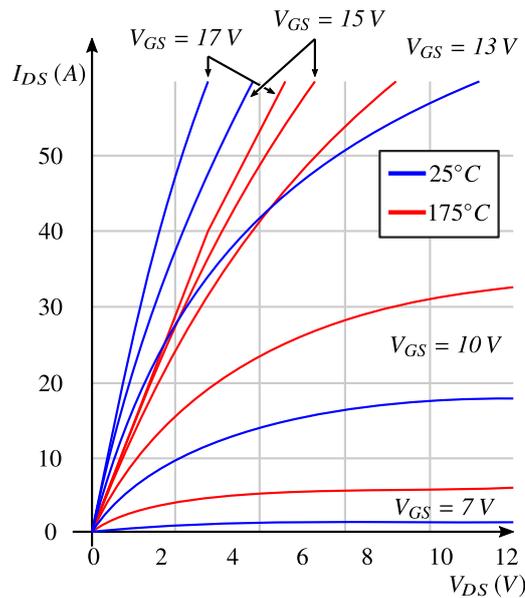


Figura 2.41: Característica de salida del SiC-MOSFET.

Debido a los problemas con el óxido de puerta, al aplicar una tensión de puerta elevada de forma continuada los electrones pueden quedarse atrapados en las imperfecciones de la unión de los materiales (traps) y en consecuencia aumentar la tensión de umbral. Este aumento de $V_{GS(th)}$ causa a su vez un ligero aumento en la $R_{DS(on)}$, lo que se traduce en un incremento de las pérdidas de conducción a lo largo del tiempo.

De igual manera, cuando se aplica una tensión negativa en puerta la tensión umbral se reduce, provocando mayor vulnerabilidad frente a dv/dt -s. Este cambio es mayor que el causado por la aplicación de la tensión positiva de puerta, lo que provoca que la tensión negativa se limite a -5 V en la mayoría de los casos.

En operación normal, en aplicaciones de potencia pulsada, la tensión de puerta no es estática, sino que alterna entre valores positivos y negativos. La deriva en el tiempo de $V_{GS(th)}$ aumenta con el número de eventos de conmutación y por lo tanto, a mayor frecuencia de conmutación, mayor es la deriva. La deriva se puede limitar reduciendo la tensión negativa de puerta. De esta manera, la tensión de puerta de apagado debe elegirse en función de la

tensión de encendido, la frecuencia de conmutación y el tiempo total de operación, para limitar su influencia en el aumento de $R_{DS(on)}$ [84]. Para frecuencias altas de conmutación, la tensión recomendada de apagado se aproxima a cero, por lo que se reduce la inmunidad frente a dv/dt -s, lo que podría aumentar las pérdidas durante el transitorio de encendido.

Las formas de onda en conmutación del SiC-MOSFET son muy similares a las del Si-MOSFET, con la salvedad de que la meseta Miller del SiC-MOSFET no es constante debido a la influencia del efecto *DIBL* (Figura 2.42). Esto implica que la tensión v_{GS} cambia durante los transitorios de la tensión v_{DS} . La carga de puerta es hasta 4 veces menor que los IGBTs del mismo calibre, lo que implica que utilizado junto con el diodo MPS permite reducir las pérdidas de conmutación hasta en un 85 % frente al Si-IGBT más Si-FRD [85].

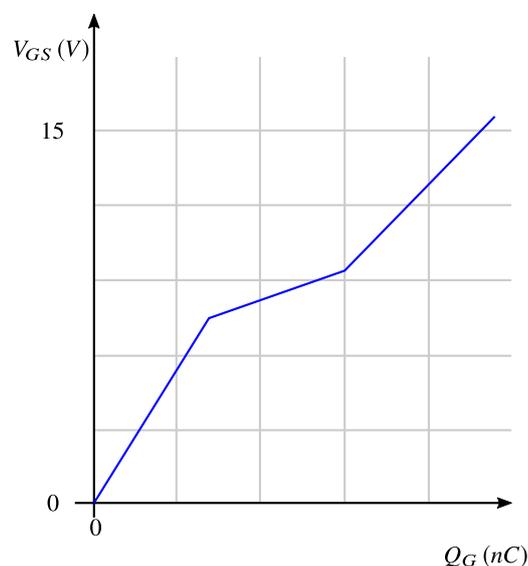


Figura 2.42: Característica de carga de puerta del SiC-MOSFET.

Diodo de cuerpo El SiC-MOSFET, al igual que en el caso del silicio, también integra un diodo de cuerpo formado por la unión de los materiales n^- y p^+ . Como se muestra en la Figura 2.43, el diodo cuerpo tiene una elevada tensión umbral (en torno a 3 V según fabricante) debido a que la banda prohibida del carburo de silicio es tres veces mayor que la del silicio. Esto hace que la caída de tensión en conducción V_F sea relativamente alta. Además, al ser un dispositivo de unión pn , se basa en la conducción de portadores minoritarios por lo que tiene un coeficiente de temperatura negativo. También se ha reportado en [86] que la conducción de corriente del diodo de cuerpo puede producir una deriva notable en la tensión de umbral del MOSFET (aún no se conoce la raíz de esta deriva), por lo que no es recomendable utilizarlo para conducir corriente durante largos períodos de tiempo.

Afortunadamente, los MOSFETs pueden conducir corriente de forma inversa, a través del canal que se forma al aplicar una tensión positiva de puerta. La $R_{DS(on)}$ del MOSFET en po-

larización inversa es similar a la $R_{DS(on)}$ bajo polarización inversa por lo que manteniendo el SiC-MOSFET encendido cuando conduce el diodo de cuerpo, es el propio MOSFET quien conduce ya que presenta menor caída de tensión en directa que el diodo.

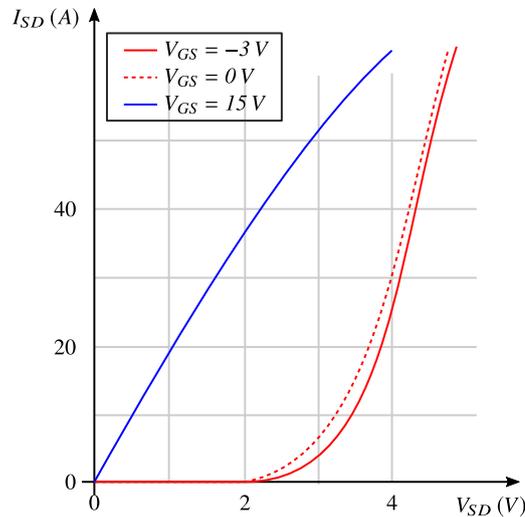


Figura 2.43: Característica de salida del diodo de cuerpo SiC-MOSFET.

Sin embargo, en topologías de convertidores en las que operan MOSFETs de forma complementaria, el diodo de cuerpo tiene que funcionar brevemente durante el tiempo muerto. El diodo de cuerpo del SiC-MOSFET es un diodo de unión pn con portadores minoritarios de corta vida útil. Por ello, la corriente de recuperación es principalmente la utilizada para descargar capacidad de la unión pn . La carga de recuperación inversa es prácticamente independiente de la corriente y la dinámica de apagado [83]. Pero a diferencia del diodo SiC-SBD sí que depende de la temperatura. Así, cuanto mayor es la temperatura, mayor es la carga de recuperación inversa [58].

La característica de apagado del diodo de cuerpo permite una reducción en las pérdidas de encendido del MOSFET de más de 3 veces si se compara con un Si-FRD del mismo calibre [71].

2.2.2.4 SiC-BJT

A pesar de sus buenas características de conducción, el transistor de unión bipolar del silicio Si-BJT ha sido apartado de las aplicaciones de potencia principalmente debido a la energía requerida para su gobierno. En comparación con otras estructuras unipolares, como la del MOSFET, el BJT ofrece la posibilidad de alcanzar valores de resistencia en conducción más bajos debido a la inyección de portadores minoritarios. Esto aumenta la conductividad de la región de deriva, reduciendo significativamente su resistencia. Las zonas que más aportan a la resistencia del dispositivo son la zona de deriva y los contactos de base y de emisor, ya que en conducción se produce la práctica cancelación de tensión de ambos voltajes de unión (V_{BEsat} y $V_{BCsat} = 0,1 - 0,2V$). La ganancia obtenida en SiC-BJTs es más de tres veces superior a sus

homólogos de silicio. Sin embargo, obtener valores de ganancia más alta es más difícil para SiC-BJT con tensiones de bloqueo mayores [87]. El principal factor limitante para el aumento de la ganancia de corriente es que muchos electrones quedan atrapados en la superficie de la base (Figura 2.44 (a)). En la actualidad se han construido a nivel de laboratorio dispositivos SiC-BJT de $10,5\text{ kV}$ con ganancias de corriente de 75 y una resistencia de conducción de $110\text{ m}\Omega/\text{cm}^2$, cerca del límite de los dispositivos unipolares de SiC ($94\text{ m}\Omega/\text{cm}^2$) [88].

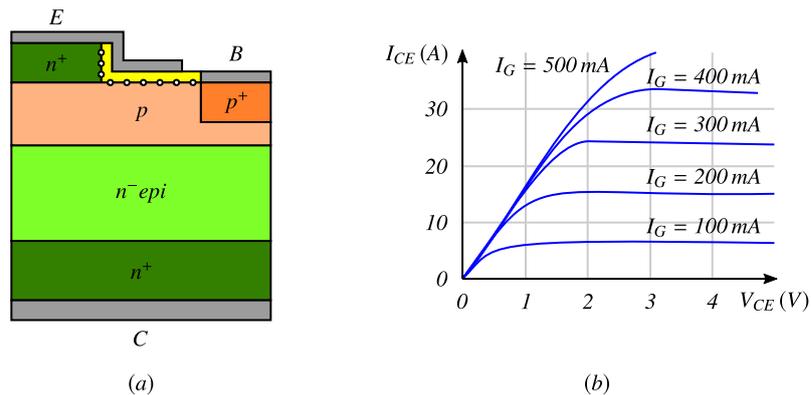


Figura 2.44: (a) Estructura de SiC-BJT [89] y (b) característica de salida [90]

En la característica de salida del SiC-BJT no se aprecia ninguna tensión de umbral (Figura 2.44 (b)). Además, al igual que los dispositivos unipolares, su coeficiente de temperatura positivo hace posible paralelar fácilmente los dispositivos. Dado que carece de almacenamiento de portadores de carga en la región de colector, no existe corriente de cola durante el proceso de apagado [91]. Además, al ser un dispositivo controlado por corriente, es inmune a las descargas electrostáticas [92].

A pesar de sus virtudes, el SiC-BJT tiene tres problemas principales para su comercialización y adopción en aplicaciones de potencia reales [73]: primero, la necesidad de un driver con capacidad de suministrar altos valores de corriente de base que contrasta con los simples requerimientos de gobierno del terminal de puerta que exigen los MOSFETs o IGBTs. En segundo lugar, para mantener el BJT en estado de saturación se debe mantener un cierto valor constante de corriente de base, que junto con la caída de tensión en la unión de base-emisor (3 V [90]) conlleva a pérdidas adicionales en el driver. Tercero y más importante, es que debido a la acción bipolar del BJT el dispositivo sufre de la degradación bipolar comentada en la Sección 2.2.2.

2.2.2.5 SiC-IGBT

Tal y como se ha mostrado en la Figura 2.34, en un futuro próximo se espera que el SiC-IGBT juegue un papel importante en aplicaciones de alta tensión ($> 10\text{ kV}$) debido a sus bajas pérdidas de conducción y conmutación, y a su capacidad de operación a altas temperaturas.

El SiC-IGBT tiene una estructura híbrida MOS-bipolar. La sección transversal de un IGBT de 4H-SiC se muestra en la Figura 2.45. Al igual que su equivalente de silicio, su funcionamiento bipolar permite la modulación de la conductividad de la capa de deriva, resultando en pérdidas de conducción inferiores a las del MOSFET. El tiempo de vida de los portadores en la capa de deriva (n^-), que a menudo tiene cientos de micras de espesor, es una propiedad crítica que determina el rendimiento de los dispositivos bipolares. Para que esto sea así, la interfaz MOS debe tener un impacto mínimo en la vida útil de los portadores minoritarios, además de proporcionar una excelente movilidad y fiabilidad del canal [93].

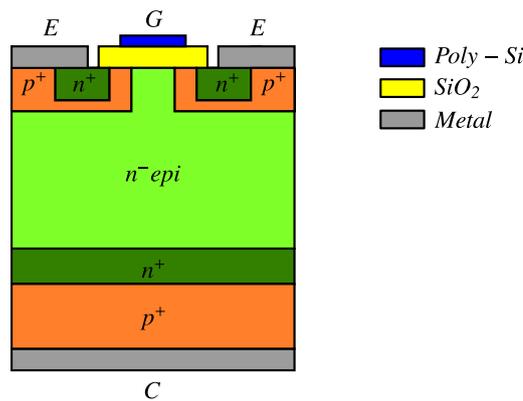


Figura 2.45: Estructura de un SiC-IGBT de 22 kV [93].

La caída de tensión en polarización directa a altas temperaturas es baja (especialmente en comparación con SiC-MOSFET) [94], ya que a altas temperaturas, la reducción de la movilidad de electrones se compensa con un aumento de la vida útil de los portadores.

Todavía no existen SiC-IGBTs disponibles comercialmente, aunque se están llevando a cabo investigaciones sobre estos dispositivos llegando a los $15\text{ kV} - 10\text{ A}$ en fase de prueba [95]. En un futuro próximo se esperan SiC-IGBTs que operen con dv/dt -s hasta $100\text{ kV}/\mu\text{s}$ que aunque presenten bajas pérdidas de conmutación serán fuente de problemas relacionados con el aislamiento de las cargas (bobinados eléctricos, transformadores,...) y la integridad de las señales de control y medida [96].

2.3 Conclusiones

Los materiales semiconductores de banda prohibida permiten extender los límites de tensión y corriente de los semiconductores actuales, aumentando la eficiencia del convertidor y reduciendo sus requerimientos de refrigeración. En principio el diamante es el material que presenta mejores propiedades eléctricas para crear semiconductores de potencia. Sin embargo, la investigación sobre su uso para aplicaciones de alta potencia está sólo en las etapas preliminares y por lo tanto aún no existen componentes comerciales para su evaluación. Su alto coste y sus problemas de fabricación son más difíciles de resolver que con los otros materiales. Así,

son los dispositivos de potencia de nitruro de galio y carburo de silicio los que se encuentran en una fase de desarrollo más avanzado existiendo dispositivos de potencia comercialmente disponibles basados en ambos materiales. Las propiedades intrínsecas del nitruro de galio son ligeramente mejores que las del carburo de silicio, sin embargo, actualmente el hecho de no poder utilizar un sustrato del propio material no permite explotar todo su potencial.

Para dispositivos de potencia superiores a 600 V , los componentes SiC presentan un nivel de desarrollo más avanzado que la de los dispositivos GaN. Los diodos SiC-SBD de alta tensión están comercialmente disponibles desde hace tiempo y compiten con los diodos rápidos de silicio en aplicaciones de potencia permitiendo incrementar la eficiencia y reducir el volumen del equipo. Los dispositivos SiC-FETs fueron los primeros transistores SiC en ser comercializados, pero su carácter normalmente encendido hace que no sean los dispositivos preferidos para aplicaciones de potencia pulsada. Una vez conseguido un aislante de puerta estable, los SiC-MOSFETs han comenzado a introducirse paulatinamente como competidores reales de los IGBTs de silicio para tensiones de ruptura en el rango de los $1,2 - 3,3\text{ kV}$. Sus prestaciones son superiores a las de los Si-IGBTs, tanto en pérdidas de conducción (al menos en cierto rango de corrientes) como en las de conmutación. Actualmente existen módulos full-SiC (dispositivo SiC-MOSFET más diodo SiC-SBD) que permiten explotar las virtudes tanto del MOSFET como del diodo Schottky en aplicaciones de potencia pulsada reales. Para ello, es imperativo el uso de módulos y layouts con una inductancia parásita baja. Estos módulos cuentan con sustratos que permiten evacuar el calor generado mientras operan a elevadas temperaturas de unión. Por último, los SiC-IGBTs son dispositivos deseados por la industria ya que permitirían tener transistores plenamente controlables por encima de los 10 kV que no ven penalizadas sus pérdidas de conducción como consecuencia de la alta tensión de trabajo. Sin embargo, a día de hoy estos SiC-IGBTs se encuentran en fase de desarrollo.

Teniendo en cuenta que los dispositivos de banda prohibida ancha de mayor madurez y prestaciones para tensiones superiores a 600 V son el diodo Schottky y el MOSFET de carburo de silicio, los próximos apartados se centran en la caracterización de ambos dispositivos y en evaluar los requerimientos de layout, driver y medida para su correcto funcionamiento y su posterior validación.

Capítulo 3

Caracterización de semiconductores SiC

Tal y como se concluye del capítulo anterior, son dos los dispositivos basados en carburo de silicio lo suficientemente maduros para su uso en aplicaciones reales de electrónica de potencia, el diodo Schottky (SiC-SBD) y el SiC-MOSFET. Ambos dispositivos presentan características tanto estáticas como dinámicas que difieren de la de los de los dispositivos de silicio. Estas características repercuten de forma directa en las pérdidas de potencia de los dispositivos.

En este capítulo se muestra el trabajo de caracterización realizado a varios dispositivos SiC. Dada su madurez tecnológica, se centra la atención tanto en el SiC-SBD como en el SiC-MOSFET. La evaluación experimental tiene como finalidad extraer las características estáticas, responsables de las pérdidas de conducción y evaluar el comportamiento en conmutación de ambos componentes dentro del área de operación segura (SOA).

Las características estáticas se han evaluado para distintas temperaturas de trabajo. De esta forma se ha conocido la influencia que tiene la temperatura de trabajo en las mismas. Sin embargo, con las características dinámicas se ha pretendido obtener una primera idea de la importancia de un buen layout, un driver apropiado o la dificultad que entraña la medida de los transitorios rápidos de tensión y corriente. Los dispositivos que se han evaluado se muestran en la siguiente Tabla 3.1.

Tabla 3.1: Dispositivos SiC evaluados.

Dispositivo	Fabricante	Referencia Fabricante	I_n (A)	V_n (V)	$R_{DS(on)}$ $m(\Omega)$	$V_{GS(max)}$ (V)	V_{GS} (V)	$R_{G(int)}$ (Ω)	Encapsulado
SiC-SBD	Wolfspeed	C4D05120A	19	1200	-	-	-	-	TO-220-2
SiC-MOSFET	Rohm	SCT3160KL	17	1200	160	-4/+22	0/+18	18	TO-247-3
SiC-MOSFET	Wolfspeed	C2M0160120D	19	1200	160	-10/+25	-5/+20	6.5	TO-247-3
SiC-MOSFET	Wolfspeed	C3M0120100K	22	1000	120	-8/+19	-4/+15	18	TO-247-3

3.1 Características estáticas

Las características estáticas de un semiconductor de potencia relacionan las tensiones aplicadas en los terminales del semiconductor con la corriente que circula por ellos en régimen permanente. En el caso de un diodo, la característica de salida define la relación entre la tensión aplicada entre ánodo y cátodo respecto a la corriente que circula entre ambos terminales.

En polarización inversa, el diodo presenta una corriente de fuga dependiente de la tensión aplicada y de la temperatura. Una vez se alcanza la tensión de ruptura, la corriente de fuga aumenta abruptamente provocando elevadas pérdidas de potencia. Es por ello que bajo ninguna circunstancia la tensión de bloqueo debería alcanzar la tensión de ruptura.

Del mismo modo, en el caso de los transistores MOSFET, la característica de salida relaciona las tensiones de puerta y drenador con respecto al terminal de surtidor con la corriente que circula a través del dispositivo entre drenador y surtidor.

En polarización directa, el MOSFET, al igual que el resto de transistores, puede operar en dos regiones bien diferenciadas. Por un lado, cuando la corriente que circula por el MOSFET se controla mediante la tensión aplicada en el terminal de puerta, se dice que el MOSFET trabaja en la región de saturación (transistor en la zona activa de trabajo) mientras que si por puerta se permite una circulación de corriente mayor que la que permite el circuito de potencia el MOSFET trabaja en la región óhmica (transistor saturado). Cuando el MOSFET trabaja en la región de saturación (zona activa de trabajo), la relación entre la tensión de puerta y la corriente de drenador se conoce como característica de transferencia. Si la tensión aplicada entre drenador y surtidor alcanza la tensión de ruptura, la corriente de drenador crece abruptamente por lo que bajo ninguna circunstancia (con la excepción de disponer de un diodo preparado para trabajar en avalancha) se debe alcanzar esta tensión.

En polarización inversa, el MOSFET se comporta como un diodo (pn) cuando la tensión de puerta es nula o negativa, es decir, si el canal del MOSFET está cerrado. En caso de que el MOSFET trabaje en polarización inversa, resulta útil activar el MOSFET para abrir el canal y de esta forma reducir las pérdidas de potencia en conducción. Esto es posible debido a que el canal del MOSFET es bidireccional en corriente y la resistencia de conducción ($R_{DS(on)}$) resulta significativamente menor que la caída de tensión del diodo de cuerpo.

Es de notar que las características estáticas tanto de MOSFETs como de diodos influyen directamente en sus pérdidas de conducción, su capacidad de equilibrar corrientes cuando operan en paralelo (en conducción), evolución de la corriente de cortocircuito, dimensionado de la resistencia de driver, etc.

En general, a la hora de estimar las pérdidas de conducción de un equipo de potencia es habitual utilizar directamente las características estáticas proporcionadas por el fabricante en la hoja de datos. A pesar de que estas curvas pueden presentar cierta dispersión, es común que el fabricante indique únicamente cuales son los valores típicos de estas curvas y su dependen-

cia respecto a la temperatura. Debido a que la estimación de pérdidas de potencia pretende contemplar el peor de los casos, es práctica habitual considerar únicamente la característica de salida que mayores pérdidas de potencia genera. En caso de que se requiera verificar que la característica de salida del semiconductor a utilizar se comporta tal y como indica la hoja de datos se ha de proceder a medir experimentalmente las características estáticas del semiconductor.

En el siguiente apartado se describe el procedimiento para obtener las características estáticas tanto de transistores como de diodos.

3.1.1 Características estáticas del SiC-MOSFET

La característica de transferencia de un MOSFET se puede obtener utilizando el circuito mostrado en la Figura 3.1 (a). Este circuito impone directamente tanto la tensión drenador-surtidor, V_{DS} , del MOSFET así como la tensión de puerta, V_{GS} , aplicada por lo que es relativamente sencillo determinar el punto de operación del dispositivo. Para este ensayo se ha utilizado el SiC-MOSFET SCT3160KL del fabricante Rohm y la temperatura de cápsula se ha controlado mediante una fuente de calor.

Para obtener la característica de transferencia se debe hacer operar al MOSFET en su región de saturación (zona activa de trabajo) fijando la tensión drenador-surtidor (V_{DC} en la Figura 3.1 (a)) a una tensión que garantice que el MOSFET trabaje fuera de la zona resistiva (típicamente 20 V). En estas condiciones, la amplitud de la tensión de puerta impone la corriente (I_{DS}) que circula por el MOSFET. Siendo esto así, se aplican pulsos de tensión de distintas amplitudes al terminal de puerta y se mide la corriente I_{DS} que se establece para cada tensión. La duración de estos pulsos ha de ser corta (pocos microsegundos) para evitar variaciones en la temperatura de unión, pero lo suficientemente larga como para establecer la corriente de drenador. La relación entre tensiones aplicadas por puerta y corriente establecida en el drenador se conoce como característica de transferencia. La Figura 3.1 (b) muestra la evolución de esta característica respecto a la temperatura, así como la característica de transferencia proporcionada por el fabricante.

Los SiC-MOSFET tienen un canal de puerta-surtidor corto por construcción, lo que implica una reducción de la tensión umbral notoriamente mayor que para los Si-MOSFET a medida que aumenta la tensión drenador-surtidor. Este fenómeno se conoce como DIBL y provoca que la corriente de drenador para una tensión de puerta sea muy dependiente de la tensión de drenador, Ecuación 3.1.

$$I_{DS} = k_1 \left(V_{GS} - v_{GS(th)} \cdot \frac{k_2}{v_{DS}} \right) \quad (3.1)$$

Donde k_1 y k_2 son parámetros de ajuste de curva. k_1 es una constante dependiente del material y las dimensiones constructivas del MOSFET y k_2 es un parámetro de ajuste de la

relación entre la tensión umbral y la tensión drenador-surtidor.

Uno de los principales problemas asociados a este fenómeno está relacionado con la inmunidad frente a dv/dt -s. A medida que aumenta la tensión de bloqueo, la tensión de umbral se reduce, llegando incluso a valores cercanos a $2V$. En estas condiciones, el dispositivo resulta particularmente vulnerable frente a encendidos no deseados si algún semiconductor de la rama se enciende con una alta derivada de tensión. Esto obliga a utilizar tensiones de apagado por puerta negativas que aumenten la inmunidad del dispositivo frente a dv/dt -s.

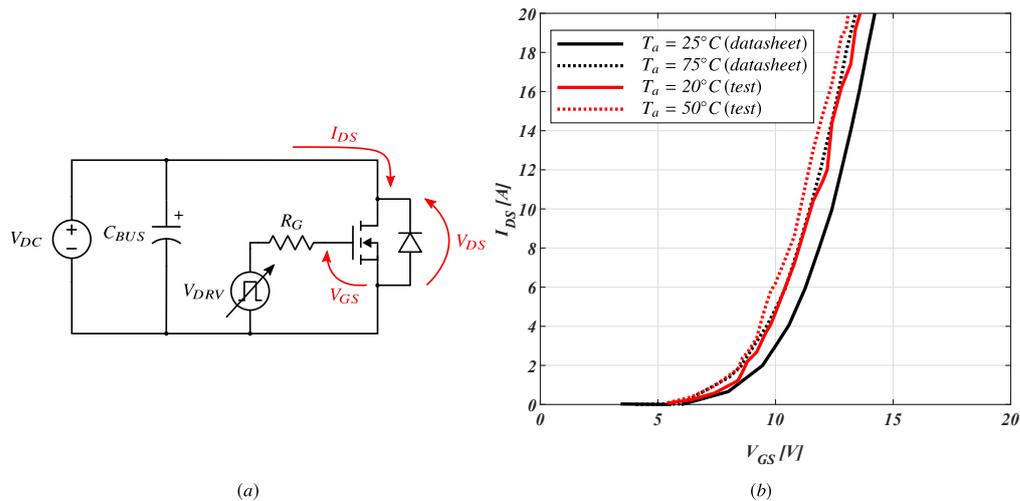


Figura 3.1: Circuito para la obtención de la característica de transferencia del MOSFET (a) y resultados (b).

Por su parte, este fenómeno resulta evidente durante la conmutación del SiC-MOSFET con cargas inductivas. Durante el transitorio de tensión, la meseta de Miller en el terminal de puerta es una imagen de la corriente de drenador y de la característica de transferencia del SiC-MOSFET.

Tal y como se muestra en el apagado de la Figura 3.2, para un SiC-MOSFET, la tensión de puerta se vuelve cada vez más baja a medida que la tensión de drenador aumenta. Esto implica que a medida que aumenta la tensión de drenador, se requiere una tensión de puerta menor para conducir la corriente de carga, lo cual, es una consecuencia del fenómeno de DIBL.

Para obtener la característica de salida del SiC MOSFET, se utiliza el circuito de la Figura 3.3 (a). Para ello, se procede tal y como se procede para medir la característica de transferencia, sin embargo, en este procedimiento además de variar la amplitud de la tensión de puerta se varía la tensión drenador-surtidor. Así, para cada amplitud de la tensión de puerta se mide la corriente a distintos valores de tensión drenador-surtidor (de 0 a $9V$). La Figura 3.3 (b) muestra la característica de salida obtenida para el SiC-MOSFET SCT3160KL para una tensión de puerta de 8 , 10 , 14 y 20 voltios. A su vez, se muestra el límite entre la zona óhmica y la zona de saturación (pinch-off). Tal y como se puede observar, una vez el MOSFET entra en la

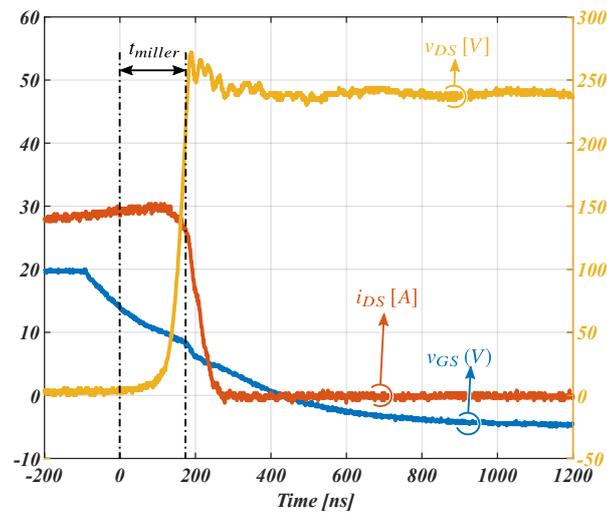


Figura 3.2: Conmutación de apagado lento del SiC-MOSFET C2M0160120D con detalle en la meseta de Miller.

zona de saturación, la corriente de drenador continúa aumentando a medida que aumenta la tensión de drenador debido al efecto DIBL.

Este hecho es particularmente importante en caso de falta debido a que la corriente de falta además de depender de la tensión de puerta depende también de la tensión de drenador. Esto implica que, a mayor tensión de trabajo, mayor resulta la corriente de falta [97]. En los dispositivos de silicio, esta corriente depende principalmente de la tensión de puerta (la tensión de drenador tiene menor influencia) y por lo tanto limitando la tensión de puerta, se puede limitar la corriente de falta. Es por ello que la falta se agrava por el uso de SiC-MOSFETs. Además, se debe tener en cuenta que el reducido volumen del chip del SiC-MOSFET le otorga una baja inercia térmica y por lo tanto la temperatura de unión se dispara en escasos microsegundos en caso de falta. Por ello, es común ver como diversas hojas de datos limitan el tiempo de extinción de la falta de SiC-MOSFETs a 2 microsegundos [98] [99].

3.1.2 Característica de salida de los diodos SiC

Cuando se habla de diodos de carburo de silicio en aplicaciones de electrónica de potencia son el diodo de cuerpo pn de la estructura del SiC-MOSFET y el diodo SiC-Schottky los únicos diodos que se consideran en la actualidad.

El diodo Schottky presenta una relativamente baja caída de tensión en comparación con el diodo de cuerpo del SiC-MOSFET. Sin embargo, cuando el diodo de cuerpo del SiC-MOSFET conduce, es posible encender el MOSFET y hacer que virtualmente la característica de salida del diodo pn se asemeje a la $R_{DS(on)}$ del MOSFET. Esto se debe a que el canal del MOSFET es bidireccional en corriente y, por lo tanto, la $R_{DS(on)}$ aparece en paralelo con la característica de

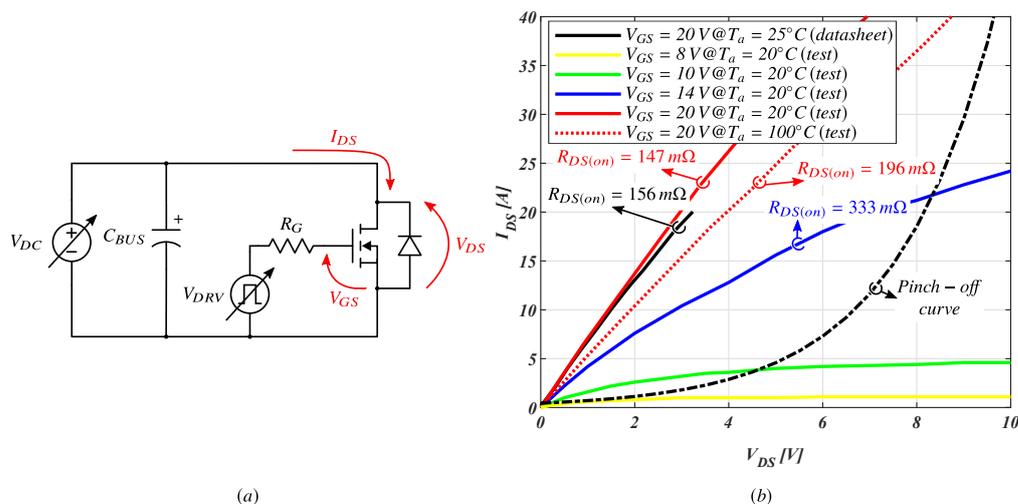


Figura 3.3: Característica de salida del MOSFET SCT3160KL a diferentes temperaturas y tensiones de puerta.

salida del propio diodo *pn*.

La Figura 3.4 (a) muestra el circuito utilizado para la medida de la característica de salida tanto del diodo Schottky C4D05120A como del diodo *pn* del SiC-MOSFET SCT3160KL. Se puede observar que para este ensayo el diodo Schottky se conecta en serie con el MOSFET. Esta disposición permite mantener encendido el MOSFET de potencia siendo el propio Schottky quien bloquea la tensión durante el apagado.

Como se trata de evaluar la característica de polarización directa de los diodos la tensión de bus se fija a un valor constante bajo, 30V en este caso. Se aplica un pulso único de V_{DRV} hasta provocar que la corriente en la inductancia alcance la corriente nominal del diodo. Tras apagar el MOSFET Q_1 se miden la corriente I_{LOAD} común a ambos dispositivos y las caídas de tensión del diodo D_{SBD} (V_{AK}) y del MOSFET Q_2 (V_{SD}). Esta medida se realiza para valores de tensión de puerta (V_{GATEUP}) del MOSFET Q_2 desde -5 a $20V$ de forma que se modula la característica de salida del diodo del MOSFET Q_2 .

La Figura 3.4 (b) muestra las características de salida tanto del diodo Schottky como del diodo de cuerpo del SiC MOSFET. Se puede observar cómo, estando el SiC-MOSFET apagado ($V_{GS} = -5V$), para una misma corriente la caída de tensión del D_{SBD} es mucho menor que la del diodo de cuerpo del Q_2 . Sin embargo, si el MOSFET Q_2 se enciende la característica de salida del diodo se asemeja a la $R_{DS(on)}$ del MOSFET y por lo tanto su caída de tensión resulta menor que la del diodo Schottky. Este comportamiento es importante debido a que, en términos generales, considerar la conexión de un diodo Schottky en antiparalelo con el SiC-MOSFET no impacta significativamente en las pérdidas de conducción. La principal razón de considerar el uso de un diodo Schottky está relacionada con las pérdidas de conmutación menores respecto al diodo del cuerpo del MOSFET, especialmente a altas temperaturas tal y

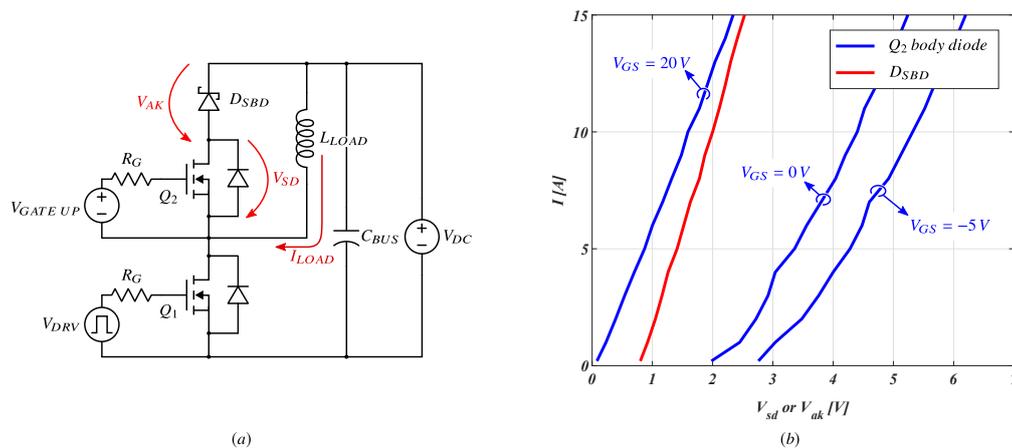


Figura 3.4: (a) Esquema del circuito de ensayos para la comparación de la característica de salida del diodo Schottky y del MOSFET en inversa y (b) resultados.

como se describe en la Subsección 2.2.2.1.

3.2 Características dinámicas

El comportamiento de conmutación de los semiconductores se ve afectado por los elementos parásitos inherentes en cualquier circuito. En el caso de los dispositivos basados en SiC, este efecto se agrava al conmutar a frecuencias elevadas que excitan los elementos parásitos. Los transitorios rápidos de tensión y corriente (dv/dt y di/dt) de los SiC-MOSFETs pueden provocar una serie de efectos indeseables. Estos efectos incluyen sobretensiones y sobrecorrientes que aumentan las pérdidas de conmutación y las oscilaciones que provocan emisiones electromagnéticas. Por ello, es importante estudiar el comportamiento dinámico del dispositivo en su diseño final considerando las principales inductancias parásitas del circuito de conmutación.

Las características dinámicas de los dispositivos SiC se han evaluado utilizando el clásico circuito de ensayos de doble pulso (Double Pulse Test, DPT) mostrado en la Figura 3.5 (a). Básicamente, el ensayo consiste en aplicar dos pulsos de puerta en el transistor Q_2 . El primer pulso se aplica durante un tiempo dado hasta acercarse al nivel deseado de corriente en la bobina de carga, L_{LOAD} . Con el segundo pulso, se evalúan los transitorios de encendido (*ON*) y apagado (*OFF*) en el transistor Q_2 , e indirectamente los apagados del diodo volante de Q_1 . De esta manera se puede caracterizar el comportamiento en conmutación del SiC-MOSFET Q_2 y los diodos en antiparalelo de Q_1 , que pueden ser tanto el diodo de cuerpo del MOSFET o un SiC-SBD. Se ha cuidado el diseño tanto del circuito de conmutación como del circuito de puerta para minimizar la influencia de los mencionados elementos parásitos. El circuito de puerta está formado por un circuito integrado ACPL-W346 cuyo secundario está alimentado a $+20/-5V$ (tensiones aplicadas a puerta) y resistencias de encendido y apagado. Los ensayos se han realizado bajo una tensión de bus de 300 a 500V con una corriente de carga de hasta

50A. Las características como el tiempo de conmutación, el tiempo de retardo y las pérdidas de conmutación se han evaluado con diferentes condiciones de carga.

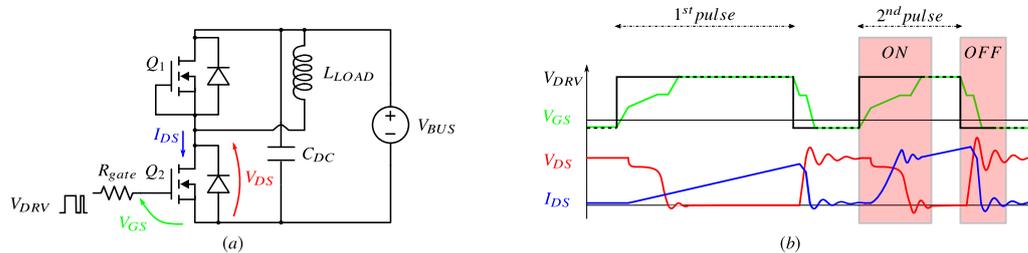


Figura 3.5: Circuito de ensayo DPT (a) y formas de onda a analizar (b).

Finalmente, todas las medidas mostradas en este apartado han sido realizadas utilizando sondas y técnicas de medida con suficiente ancho de banda y aplicando el alineamiento temporal necesario entre ellas. Para la tensión se ha utilizado una sonda pasiva TPP1000 de Tektronix junto con un divisor de tensión basado en una red RC realizada con elementos SMD y para la medida de corriente un transformador de corriente Pearson 2878. Las técnicas y métodos de medida utilizados se detallan en el Capítulo 4.

3.2.1 Influencia del MOSFET en el apagado de los diodos SiC

La recuperación inversa del diodo es un parámetro importante en la evaluación de pérdidas en conmutación dura. Cuando un diodo pasa del estado de conducción al de bloqueo, la corriente en él disminuye y momentáneamente se hace negativa antes de volverse nula. En los ensayos realizados se evalúa la característica de recuperación inversa del diodo volante de Q_1 durante el encendido de Q_2 .

En la Figura 3.6 se muestran los resultados donde se comparan encendidos del SiC-MOSFET C2M0160120D utilizando a modo de diodo volante el propio diodo de cuerpo del MOSFET por un lado y el diodo SiC-SBD C4D05120A por otro. Las dinámicas de conmutación se varían mediante la modificación del valor de la resistencia de puerta, R_{gate} , de Q_2 . Con R_{gate} igual a 50 ohmios se consigue la dinámica lenta, $200 \text{ A}/\mu\text{s}$ (Figura 3.4 (a)), mientras que con una R_{gate} igual a 2,5 ohmios se consiguen dinámicas superiores, $1,2 \text{ A}/\text{ns}$ (Figura 3.4 (b)).

En la conmutación a bajas corrientes, bajas dinámicas de corriente (di/dt) y temperatura ambiente, Figura 3.6 (a), el diodo de cuerpo ofrece una corriente de recuperación ligeramente inferior y por lo tanto menores pérdidas de conmutación que el diodo SBD. Esto se explica por el hecho de que los SBD introducen una cantidad significativa de carga, debida a que la capacidad entre metal y semiconductor es mayor que a la capacidad formada entre los materiales p y n , región de agotamiento, del diodo de cuerpo. En ambos casos el pico máximo de corriente está determinado por la capacidad de la unión (C_j) y la dinámica de tensión (dv/dt) (Ecuación 2.31).

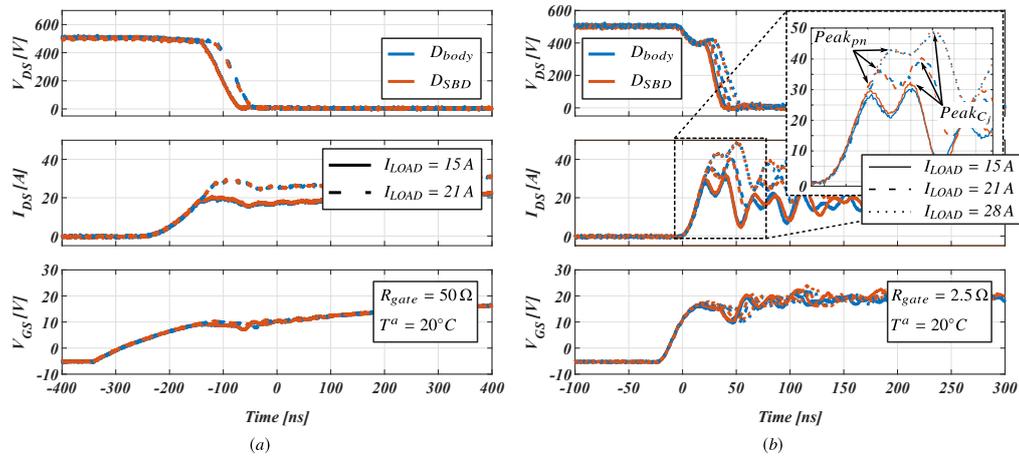


Figura 3.6: Encendido del SiC-MOSFET C2M0160120D comparando la respuesta de los diodos de cuerpo y SiC-SBD con dinámica lenta (a) y con dinámica rápida (b) para diferentes corrientes de carga.

En el diodo de cuerpo durante la polarización directa existe un exceso de portadores minoritarios en cada región del diodo (huecos en la región n y los electrones en la región p) que deben retirarse para poder bloquear tensión. El tiempo que tarda en recuperar la capacidad de bloquear tensión y la corriente de pico de recuperación inversa son dependientes de la corriente que estaba conduciendo antes del apagado, de la dinámica de corriente de encendido del MOSFET y, de forma más notoria, de la temperatura [100].

A medida que aumenta la magnitud y la dinámica de la corriente conmutada, Figura 3.6 (b), hace que las sobrecorrientes de encendido provocadas tanto por el diodo de cuerpo como por el SBD aumenten y sean similares en magnitud. En estas dinámicas altas se pueden apreciar dos picos bien diferenciados durante la conmutación (ampliación en Figura 3.6 (b)). El primer pico de corriente ($Peak_{pn}$) corresponde a la recombinación de minoritarios de las uniones pn . Este efecto también aparece en los diodos SiC-Schottky ya que estos tienen una construcción denominada JBS (Junction Barrier Schottky) o MPS (Merged PIN Schottky). Como se ha comentado en la Subsección 2.2.2.1, esta construcción se basa en insertar pequeñas regiones de material semiconductor p^+ entre metal y material semiconductor n , de manera que el Schottky presente menor corriente de fuga en bloqueo. De la unión de los materiales p^+ y n se forma un diodo pn parásito cuyos minoritarios también han de ser recombinados. El segundo pico ($Peak_{Cj}$) ocurre por el efecto descrito en la Ecuación 2.31.

El aumento de la temperatura de trabajo tiene una mayor influencia en la recuperación inversa del diodo de cuerpo (Figura 3.7). En el caso del SiC-SBD, al ser un dispositivo unipolar, la recuperación inversa se mantiene prácticamente constante frente a la temperatura, la corriente de carga y el transitorio de apagado de esta corriente.

El diseño de estos diodos de cuerpo, al igual que en el caso de los diodos rápidos (PiN-

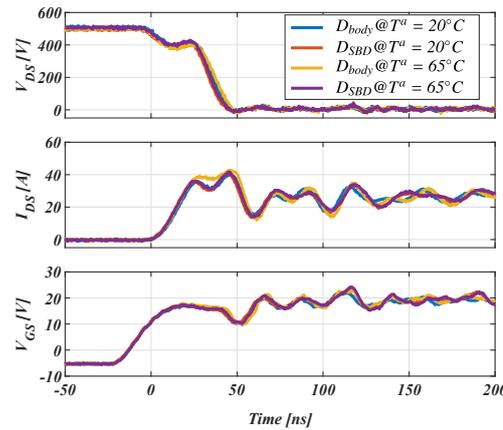


Figura 3.7: Influencia de la temperatura sobre la corriente de encendido del SiC-MOSFET.

FRD) de silicio, tiene un compromiso entre caída de tensión en polarización directa y carga de recuperación inversa. En el caso del diodo con bajas pérdidas de conducción, se dopa fuertemente el material semiconductor de manera que se reduce la caída de tensión en polarización directa. Cuando a este diodo se le aplica una tensión inversa es necesario eliminar el exceso de carga para poder bloquear tensión, por lo que aumenta el tiempo de recuperación inversa, aumentando las pérdidas de conmutación [100]. En el caso de los diodos de cuerpo de los SiC-MOSFET, un diseño orientado a reducir las pérdidas de conmutación es preferible, ya que las pérdidas de conducción se pueden reducir mediante la conducción inversa de MOSFET.

Es común en IGBTs de potencia que se desee reducir la derivada de corriente en el encendido para limitar la corriente de recuperación inversa del diodo volante y evitar que este entre en avalancha térmica [9]. Para ello, es común disponer de una capacidad adicional entre puerta y emisor que reduzca la derivada de corriente al nivel deseado. Es de notar que el IGBT presenta una característica de transferencia razonablemente constante respecto a la tensión colector-emisor y por lo tanto, esta capacidad adicional no influye en la derivada de tensión colector-emisor. Así, se puede reducir la derivada de corriente sin aumentar innecesariamente las pérdidas de conmutación ya que la derivada de tensión permanece idealmente inalterable [101].

Este mismo problema puede aparecer en las aplicaciones en donde se utilice el diodo de cuerpo del SiC-MOSFET y por lo tanto, se desee limitar su corriente de recuperación inversa limitando la derivada de corriente del MOSFET. Para ello se puede conectar un condensador adicional entre los terminales de puerta y surtidor (Figura 3.8 (a)).

Al poner el condensador $C_{GS(ext)}$, esta capacidad se suma a la capacidad de entrada propia del MOSFET.

A modo de simplificación se asume que la resistencia total de puerta es la suma de la resistencia interna y externa. Del mismo modo, la capacidad equivalente entre puerta y surtidor

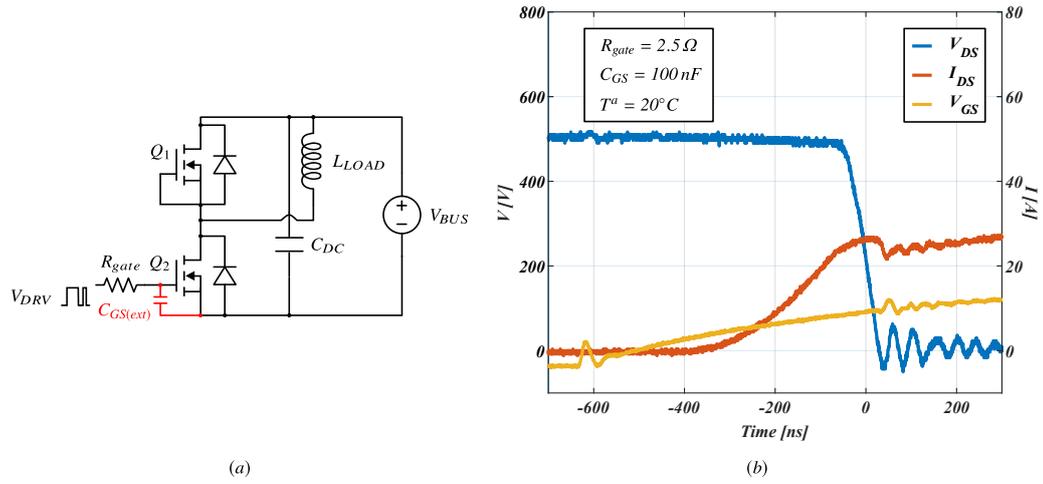


Figura 3.8: Circuito con condensador externo, $C_{GS(ext)}$, para ralentizar la dinámica de corriente (a) y (b) resultado de encendido.

es también la suma de la capacidad interna y externa, Figura 3.9 (c).

$$R_{G(eq.)} = R_{G(int)} + R_{G(ext)} \quad (3.2)$$

$$C_{GS(eq.)} = C_{GS(int)} + C_{GS(ext)} \quad (3.3)$$

En el proceso de encendido, la corriente de puerta se divide entre la corriente de Miller (i_{GD}) y la corriente entre puerta y surtidor (i_{GS}).

$$i_G = i_{GS} + i_{GD} \quad (3.4)$$

$$i_G = C_{GS(eq.)} \frac{dV_{GS}}{dt} + C_{GD} \frac{dV_{GD}}{dt} \quad (3.5)$$

En los MOSFET de silicio la tensión de puerta se mantiene prácticamente constante durante el transitorio de la tensión V_{DS} ($V_{plateau}$ o tensión de Miller). Por lo tanto, la inclusión del condensador $C_{GS(ext)}$ únicamente modifica el transitorio de corriente. Sin embargo, en los transitorios de tensión de los SiC-MOSFETs, debido al efecto DIBL, la tensión de puerta sigue aumentando, debido a que parte de la corriente de puerta sigue cargando la capacidad C_{GS} , ralentizando de este modo el transitorio de tensión.

$$\frac{dV_{DS}}{dt} \approx -\frac{dV_{GD}}{dt} = \frac{i_G - C_{GS(eq.)} \cdot \frac{dV_{GS}}{dt}}{C_{GD}} \quad (3.6)$$

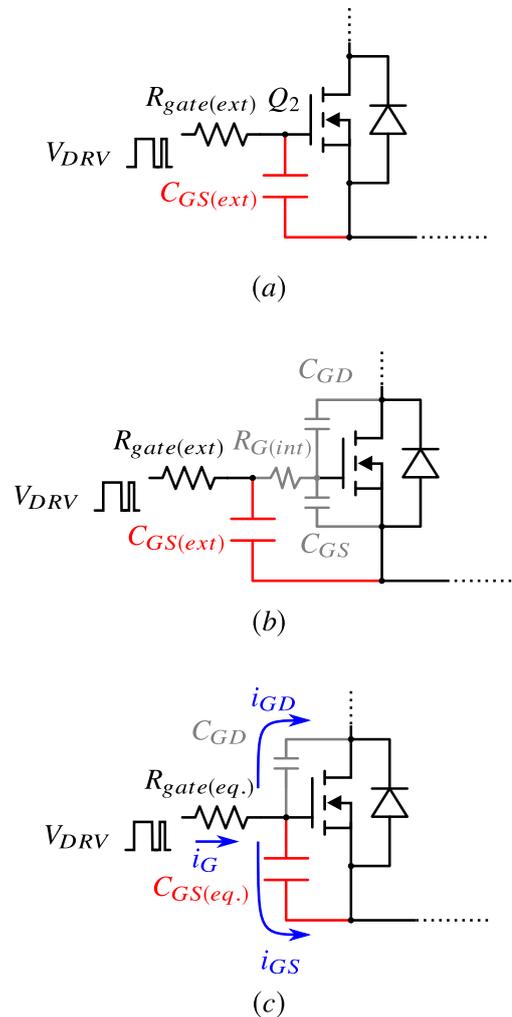


Figura 3.9: Circuito equivalente de puerta con C_{GS} .

En la Figura 3.8 (b) se puede observar como la tensión de puerta no permanece constante cuando se da la derivada de tensión drenador-surtidor. El transitorio de corriente pasa de $1200\text{A}/\mu\text{s}$ a $40\text{A}/\mu\text{s}$ y el de tensión de $-22,5\text{V}/\text{ns}$ a $-6\text{V}/\text{ns}$, por lo que ambas dinámicas se ven afectadas por la inclusión de la capacidad $C_{GS(ext)}$. Esto implica, que desacoplar completamente la derivada de corriente y tensión en un MOSFET no resulta tan sencillo debido al efecto DIBL como en el caso de los IGBTs de silicio.

3.2.2 Dinámica de apagado del SiC-MOSFET

En la dinámica de apagado de un SiC-MOSFET, al ser un dispositivo unipolar, no existe una corriente de cola, por lo que, sin esta contribución, las pérdidas de conmutación son claramente inferiores a las de un IGBT de silicio del mismo calibre [102].

Tal y como se aprecia en la Figura 3.10 durante el transitorio positivo de la tensión V_{DS}

existe una reducción en la corriente que circula por el MOSFET. Esto se debe a que parte de la corriente descarga la capacidad de unión, C_j , del diodo volante de Q_1 . Este efecto también sucede en el caso de los IGBTs, sin embargo, la alta derivada de tensión del orden de 8 V/ns hasta los 22 V/ns , hace que esta bajada de corriente sea más notoria lo cual implica una reducción en las pérdidas de apagado del MOSFET.

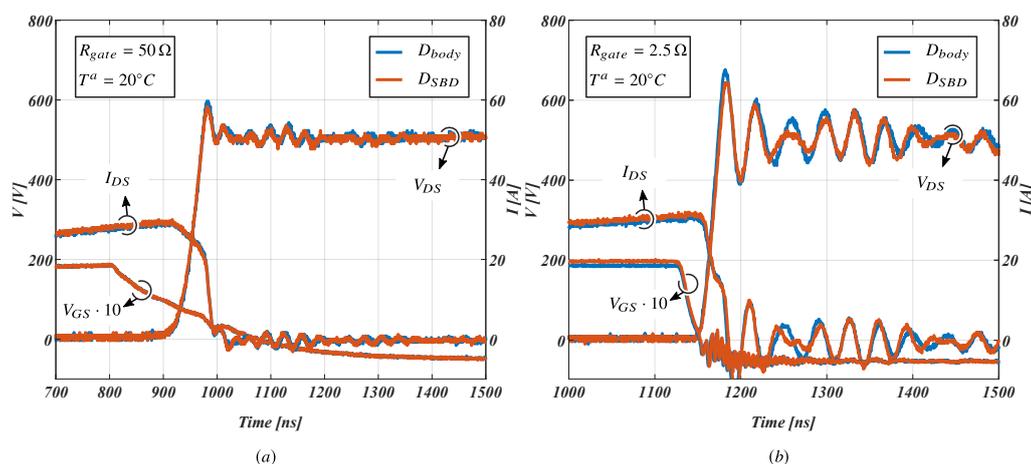


Figura 3.10: Conmutación de apagado del SiC-MOSFET (a) lenta y (b) rápida.

Aunque la inductancia parásita del circuito de conmutación de potencia está en torno a 50 nH se puede observar que la sobretensión causada alcanza los 670 V en el caso del apagado rápido (Figura 3.10 (b)). Estos dispositivos están diseñados para trabajar a tensiones superiores a los 500 V del ensayo (la tensión de caracterización de pérdidas es de 800 V [103]). Esta tensión es próxima a la tensión de ruptura ($V_{DS(max)} = 1200\text{ V}$), por lo que un mal diseño con excesiva inductancia parásita puede provocar una sobretensión que alcance la tensión de ruptura. Es de notar, que a diferencia de los IGBTs cuya tensión de 100FIT para la misma tensión de ruptura es de 600 V , la tensión de 100FIT de estos componentes aparece por encima del codo de ruptura y por lo tanto, son la sobretensión durante el apagado y la probabilidad de fallo aleatorio los que determinan la tensión de trabajo de estos componentes [104].

3.3 Conclusiones

Durante la caracterización del SiC-MOSFET se ha comprobado que la tensión umbral de puerta es de un valor bajo ($\approx 2\text{ V}$), lo cual lo hace más vulnerable frente a las fuertes dv/dt s de esta tecnología. Además, debido al DIBL, a mayor tensión entre los terminales de drenador y surtidor menor es la tensión de puerta para una misma corriente de carga, lo cual agrava el problema. El DIBL es también la causa de que en caso de falta, la corriente de cortocircuito no quede limitada por la tensión de puerta, sino que dependa también de la tensión de drenador-surtidor. Por último, el efecto DIBL dificulta también la utilización de un condensador externo

entre puerta y surtidor ($C_{GS(ext.)}$) para ralentizar únicamente la dinámica de la corriente, ya que también afecta a la dinámica de tensión, afectando de manera significativa a las pérdidas de conmutación.

Respecto al diodo de cuerpo del SiC-MOSFET, se ha comprobado que la característica de salida tiene una caída de tensión muy superior a la de los diodos SiC-SBD cuando la tensión de puerta del SiC-MOSFET es nula o negativa. Esto se puede mejorar utilizando el canal del MOSFET en conducción inversa, aplicando tensión de puerta positiva, para que la característica de salida sea incluso mejor que la del SiC-SBD. El uso del SiC-SBD se justifica entonces para aplicaciones donde sea necesario reducir las pérdidas de conmutación a temperaturas de trabajo elevadas, ya que el diodo de cuerpo presenta un mayor exceso de carga (Q_{rr}) al ser un dispositivo bipolar.

Durante los ensayos dinámicos ha quedado patente la necesidad de una instrumentación de muy alto ancho de banda, ya que toda la conmutación ocurre en torno a los 20 ns . Los transitorios de tensión alcanzados en estos ensayos de caracterización han sido de en torno a $22,5\text{ V/ns}$ y pueden alcanzar hasta los 100 V/ns . Los de corriente por su parte han alcanzado $1,2\text{ A/ns}$ y en la literatura se espera que alcancen los 10 A/ns . Esto hace que en general sea necesaria una revisión de la instrumentación y los métodos utilizados hasta la fecha para la caracterización y evaluación de los dispositivos de potencia. En el Capítulo 4 se realiza una revisión y comparativa de algunas sondas y métodos utilizados hasta la fecha y se propone un sistema de medida para la caracterización dinámica de dispositivos SiC.

Por otro lado, para la realización de estos ensayos se ha cuidado el layout, tanto del lazo de control de puerta como del lazo de potencia. Aun así, debido a los rápidos transitorios de corriente una mínima inductancia parásita, del orden de 50 nanohenrios, provoca sobreten-siones en el apagado del MOSFET, así como oscilaciones al interactuar con sus capacidades parásitas. Los requisitos y criterios de diseño del driver y del lazo de potencia se detallan en el Capítulo 5.

Capítulo 4

Medida de tensión y corriente para la caracterización dinámica de los dispositivos SiC

Tal y como se ha comentado en el Capítulo 3, una de las características más atractivas de los dispositivos SiC es su capacidad para operar con transitorios de conmutación rápida. Esto produce bajas pérdidas de conmutación y posibilita la operación a altas frecuencias de conmutación, reduciendo a su vez el volumen de componentes pasivos.

A pesar de los beneficios mencionados, la operación con grandes transitorios de tensión (dv/dt) y corriente (di/dt) en presencia de capacidades e inductancias parásitas en el propio convertidor hace que el diseño sea complejo a la hora de evitar sobretensiones, oscilaciones, y problemas de interferencias electromagnéticas (EMI). Para garantizar el funcionamiento del dispositivo dentro de los límites del área de operación segura (SOA) y a su vez obtener los datos de pérdidas de conmutación del dispositivo de potencia se han de medir de forma precisa tanto la corriente y como la tensión instantánea durante dichos transitorios durante la fase de pruebas del convertidor.

Estos datos se obtienen normalmente mediante ensayos de doble pulso (Double Pulse Test, DPT) [105], [106]. El DPT se debe realizar en la disposición final de los componentes dentro del circuito del convertidor diseñado para evaluar la influencia de la inductancia parásita del layout real tanto en la trayectoria de conmutación así como en las pérdidas de conmutación.

Esta medida no resulta nada evidente cuando se requieren medir los transitorios rápidos de los dispositivos SiC. Por un lado, requiere sondas de tensión y corriente de gran ancho de banda (BW) y, por otro lado, las sondas no deben agregar elementos parásitos adicionales al diseño que puedan alterar el comportamiento del dispositivo testeado o la propia medida. Además, el alineamiento temporal de las sondas tiene una gran influencia en la evaluación de las pérdidas de potencia y, por lo tanto, se debe aplicar una sincronización de las señales de tensión y corriente. Aunque se pueden encontrar diferentes métodos de alineamiento en la literatura [107], [108], su aplicación no es trivial y la determinación del valor de corrección temporal resulta compleja.

Por lo tanto, en este capítulo, se evalúa la idoneidad de diferentes sondas de tensión y corriente para medidas de transitorios rápidos de dispositivos SiC-MOSFET discretos. Debido a las limitaciones que presentan las sondas de tensión y corriente disponibles en el laboratorio durante la realización de este trabajo, este capítulo propone un método sencillo y asequible para la medida simultánea de transitorios rápidos de tensión y corriente. La medida de tensión se realiza con un sencillo divisor de tensión RC y una sonda pasiva de tensión de gran ancho de banda. La medida de corriente se estima a partir de la caída de tensión de una inductancia parásita parcial en el lazo de conmutación. Esta caída de tensión se mide también con una sonda de tensión pasiva de gran ancho de banda. Dado que ambas tensiones se miden con sondas pasivas de tensión iguales, el método propuesto simplifica el problema de alineamiento temporal. El método propuesto se evalúa experimentalmente y finalmente, se realiza una estimación de las pérdidas de conmutación en una configuración de prueba de doble pulso.

4.1 Requerimientos de las sondas y plataforma de ensayo de doble pulso

La evaluación del proceso de conmutación se realiza a través del test de doble pulso (DPT) utilizando el SiC-MOSFET C3M0120100K de Wolfspeed [109]. La tensión del bus de continua es de 500 voltios y la corriente máxima conmutada es de 50 amperios. Los tiempos de transición, tanto de tensión como de corriente, de este dispositivo están alrededor de los 5 – 10 nanosegundos lo cual exige de sensores de gran ancho de banda para su correcta medida. Se ha cuidado el diseño del layout para minimizar la inductancia parásita en el circuito de potencia. Esto hace posible la operar con derivadas altas de corriente sin sobretensiones y oscilaciones excesivas en los semiconductores. Por simplicidad, todo el trabajo se ha centrado en la evaluación del transistor Q_2 de la Figura 3.5.

Básicamente, la prueba consiste en aplicar un pulso de encendido al transistor Q_2 para acercarse al nivel de corriente deseado en la inductancia de carga, L_{LOAD} . Durante el segundo pulso, los transitorios de encendido (*ON*) y apagado (*OFF*) se evalúan a los niveles de corriente deseados.

Los dispositivos SiC pueden funcionar con transitorios de tensión y corriente en el rango de $100V/ns$ y $10A/ns$ respectivamente [110], [111]. Esto significa que tanto los transitorios de corriente como los de tensión suceden en pocos nanosegundos. Una medida adecuada de estos transitorios exige sondas de tensión y corriente capaces de reaccionar más rápido que el evento medido. El tiempo de subida (rise-time) de una señal es el tiempo que tarda en subir del 10% al 90% de su valor final. El ancho de banda de esta señal viene dado por la Ecuación 4.1 [112]:

$$f_{3dB} = \frac{0,35}{t_r} \quad (4.1)$$

Por lo tanto, por ejemplo, una señal trapezoidal con un tiempo de subida de $8ns$ tiene $44MHz$ de ancho de banda. Las sondas de tensión y corriente deben tener un ancho de banda al menos 3 veces mayor para medir adecuadamente la señal [113]. Por lo tanto, la sonda requerida debe tener al menos un ancho de banda de $132MHz$. En el caso de las sondas de corriente de Rogowski y Pearson es habitual proporcionar el tiempo de subida utilizable de la sonda. El tiempo de subida utilizable es el tiempo de subida mínimo que puede medir la sonda para obtener un error de medida menor del 10% [114]. El tiempo de subida medido debe ser mayor que el tiempo de subida utilizable de la sonda. También es necesario que el ancho de banda del osciloscopio sea mayor que el de las propias sondas, de manera que no afecte a la medida final. Para ese propósito, se ha utilizado un osciloscopio de $1GHz$ (Tektronix MDO3104) para todas las pruebas.

4.2 Medida de tensión

La sonda de tensión actúa reduciendo la tensión medida al rango de tensión de entrada del osciloscopio. Existen dos tipos de sondas de tensión: sondas activas-diferenciales y sondas pasivas. La sonda adecuada para una aplicación dada debe satisfacer al menos tres requisitos: gran ancho de banda, rango de tensión dinámico adecuado y los requisitos de precisión que exija la aplicación.

Las sondas activas diferenciales pueden realizar la medida entre dos puntos, ninguno de los cuales está al potencial de tierra y donde la referencia común puede elevarse (flotar) a cientos o miles de voltios respecto del potencial de masa. Para medir los transitorios de los dispositivos de silicio se han venido utilizando las sondas diferenciales activas debido a su rango de tensión, su capacidad de aislamiento y la relación de rechazo de la tensión de modo común (CMRR). Las sondas diferenciales activas de coste medio ($\approx 1,7\text{k€}$) se pueden encontrar en el rango de 1500 voltios con anchos de banda de hasta 200 MHz [115], [116]. Sin embargo, exceder esos límites aumenta el coste, haciendo que las sondas alcancen precios prohibitivos ($> 3\text{k€}$) [117] para muchos usuarios. Como se muestra en [118], se esperan módulos MOSFET de 3,3 kV a 6,5 kV en un futuro cercano y, en consecuencia, se requerirán sondas de alta tensión y de gran ancho de banda.

Por otro lado, las sondas pasivas no tienen aislamiento ni clasificación CMRR, ya que son sondas de un solo punto vivo. Esto significa que la masa del osciloscopio y la masa de referencia de la sonda están a un mismo potencial. Pero a diferencia de las sondas diferenciales activas, las sondas pasivas ofrecen grandes anchos de banda, hasta 1 GHz, a precios moderados (1 k€) [119]. Como inconveniente, por lo general tienen un rango bajo de tensión (300 V), por lo que se necesita una atenuación adicional para medir tensiones mayores. Sin embargo, las sondas pasivas son buenas candidatas para la medida de tensión de dispositivos de banda prohibida ancha de hasta 300 voltios y tiempos de subida cortos (5 – 10 ns). Aunque las sondas pasivas no proporcionan aislamiento galvánico, dependiendo de la configuración del banco de pruebas y/o la posición del DUT (*Dispositive Under Test*, dispositivo bajo prueba), se puede evitar el requisito de aislamiento galvánico.

4.2.1 Descripción de las sondas de tensión disponibles en el laboratorio

En esta sección, se evalúan y comparan las sondas de tensión disponibles en el laboratorio en el momento de evaluar los dispositivos SiC, Tabla 4.1.

Como algunas sondas pasivas de baja tensión se incluyen en la comparativa, la tensión del bus se ha establecido a 300 V para la primera prueba.

En esta primera prueba, se mide un transitorio de tensión relativamente lento ($t_{rise} = 20\text{ ns}$). Por lo tanto, la señal tiene un ancho de banda de 17,5 MHz y el ancho de banda del sensor requerido es de al menos 52,5 MHz [113]. En consecuencia, solo las sondas P5205, P2220 y

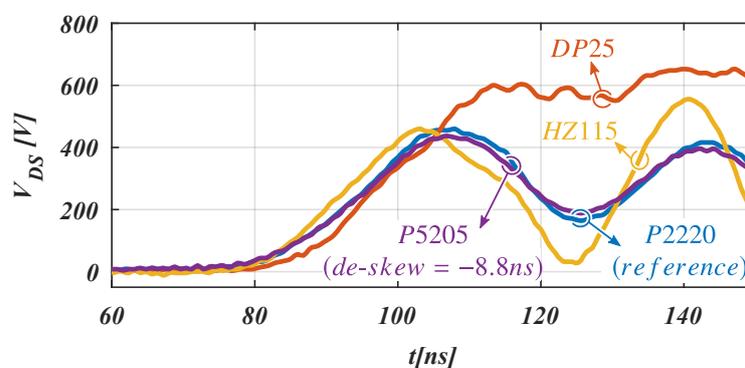
Tabla 4.1: Sondas de tensión evaluadas.

Sonda	Vmax (kV)	Tipo	BW (MHz)	t_{rise} (ns)	Impedancia de entrada Z	Coste* (k€)
DP25 (Ch.—Arn.)	1	Diff.	25	14	4 M Ω ; 1.2 pF	≈ 0.25
HZ115 (Hameg)	1.4	Diff.	35	17/12	60 M Ω ; 1.5 pF	≈ 0.5
P5205 (Tektronix)	1.3	Diff.	100	3.5	8 M Ω ; 3.5 pF	≈ 1.7
P2220 (Tektronix)	0.3	Pass.	200	<2.2	1 M Ω ; 17 pF	≈ 0.25
TPP1000** (Tektronix)	0.3	Pass.	1000	<0.45	10 M Ω ; <4 pF	≈ 1

*Coste medio calculado a partir de varios suministradores en 2018.

**No utilizada en la primera comparativa.

TPP1000 (no utilizadas en esta primera prueba) deberían poder medir la señal. Como era de esperar, las sondas DP25 y HZ115 distorsionan la medida tal y como se puede observar en la Figura 4.1. Se aprecia además como la sonda P5205 y la sonda pasiva P2220 tienen suficiente ancho de banda para medir la señal. Se puede observar que si se aplica un alineamiento temporal ($-8,8\text{ ns}$) ambas sondas tienen una respuesta muy similar. Este retraso de tiempo entre ambas señales es causado principalmente por el amplificador de la sonda activa diferencial. Cabe señalar que este retraso está en el rango de los tiempos de subida de la tensión medida y por lo tanto, si este retardo no se compensa adecuadamente, el error en la estimación de las pérdidas de conmutación será alto. Este hecho se complica si por su parte la sonda de corriente tiene un retardo distinto al de la sonda de tensión, y por lo tanto se deben sincronizar ambas sondas. Siendo esto así, es deseable realizar la medida del transitorio de tensión y corriente sin ningún amplificador electrónico intermedio que pueda retardar la lectura de las señales de forma distinta. Con estas premisas, además de por su menor coste, las sondas pasivas son adecuadas para medidas transitorias rápidas. Sin embargo, su bajo rango de tensión hace obligatorio el uso de algún atenuador de gran ancho de banda que permita la medida de tensiones superiores al rango de tensión de la propia sonda.

**Figura 4.1:** Respuesta dinámica de las sondas evaluadas.

En la siguiente sección, se detalla el diseño de un divisor de tensión asequible y de gran ancho de banda que hace posible el uso de sondas pasivas para tensiones superiores a su rango dinámico de tensión.

4.2.2 Divisor de tensión de gran ancho de banda

El método de medida propuesto utiliza sondas pasivas *TPP1000* no aisladas. Por lo tanto, si no se incluye el aislamiento en el osciloscopio o el equipo de potencia, su uso se restringe a dispositivos referidos a la masa del equipo. Esto hace que este método resulte más adecuado para bancos de ensayo. Uno de los primeros problemas que surgen al utilizar sondas pasivas de este tipo es la necesidad de atenuar la señal sin perder ancho de banda. Debido a las capacidades e inductancias parásitas presentes en una resistencia real, un divisor de tensión de alto valor óhmico presenta una mala respuesta frecuencial debido a que la baja corriente que circula por el divisor impide cargar sus capacidades parásitas con rapidez, Figura 4.4. En su lugar, un divisor de tensión resistivo-capacitivo como el mostrado en la Figura 4.2 es una mejor solución. Cuando la tensión medida cambia, el divisor capacitivo inyecta una corriente elevada que permite al divisor *RC* trabajar con alta dinámica y una atenuación determinada. En este divisor *RC*, la atenuación de tensión deseada se puede lograr con un divisor de tensión altamente resistivo (con bajas pérdidas de potencia cuando el transistor se encuentra en bloqueo) y, además, durante el transitorio de tensión, la corriente inyectada a través de los condensadores en paralelo hace posible la respuesta rápida de la red *RC*.

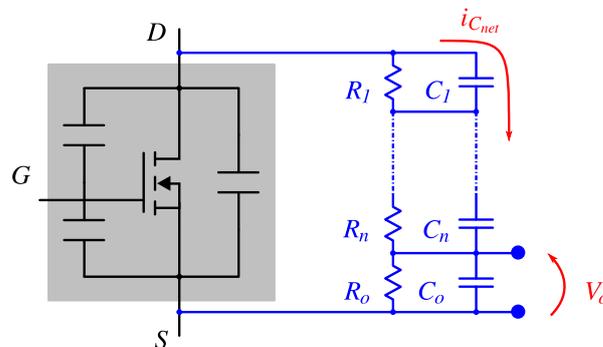


Figura 4.2: Divisor RC para la medida de la tensión (v_{DS}).

Este método de medida se utiliza en varias aplicaciones para realizar medidas transitorias de alta tensión, [120] y [121]. Para explicar su funcionamiento de forma simplificada se toman en consideración únicamente dos pares *RC*, R_1C_1 y R_oC_o . Primeramente, se obtiene la expresión de la impedancia equivalente de cada par *RC* (Ecuación 4.2).

$$Z_{eq}(s) = \frac{R/C \cdot s}{R + 1/C \cdot s} = \frac{R}{R \cdot C \cdot s + 1} \quad (4.2)$$

Siendo la función de transferencia del divisor:

$$H(s) = \frac{V_o(s)}{V_{DS}(s)} = \frac{Z_{eqo}(s)}{Z_{eq1}(s) + Z_{eqo}(s)} \quad (4.3)$$

Sustituyendo la Ecuación 4.2 en la Ecuación 4.3 obtenemos:

$$H(s) = \frac{R_o}{R_1 \cdot \left(\frac{R_o \cdot C_o \cdot s + 1}{R_1 \cdot C_1 \cdot s + 1} \right) + R_o} \quad (4.4)$$

Se puede observar en la Ecuación 4.4 que en caso de que se cumpla la siguiente condición (Ecuación 4.5),

$$R_1 \cdot C_1 = R_o \cdot C_o \quad (4.5)$$

el divisor RC se comporta como un divisor puramente resistivo:

$$H(s) = \frac{R_o}{R_1 + R_o} \quad (4.6)$$

Para que la medida de la tensión se haga de forma correcta el divisor RC debe satisfacer tres criterios de diseño:

1. Debe poseer un ancho de banda suficiente para medir la señal sin distorsionarla.
2. Debe atenuar la señal a un rango de tensión por debajo del límite del rango dinámico de la sonda pasiva.
3. Debe presentar una baja capacidad equivalente para no afectar al funcionamiento del componente y una alta resistencia para disipar poca potencia.

El primer paso para diseñar la red RC es determinar el valor de la atenuación. Las sondas pasivas de tensión $TPP1000$ con una atenuación de 10 ($10x$) tienen un rango dinámico de tensión de $300V$. Como primer criterio, para tener un buen rango de sensibilidad de tensión, la tensión del bus se atenúa en R_o a $3/4$ del rango dinámico de tensión de la sonda (Ecuación 4.7). De esta manera, la relación señal ruido en la medida será lo suficientemente alta. Además, este criterio deja un margen para que durante la sobretensión del transitorio de apagado del semiconductor no se supere el rango dinámico de la sonda.

$$V_o(V_{DC}) = V_{DC} \cdot \frac{R_o}{R_o + \sum_{i=1}^n R_i} \approx \frac{3}{4} V_{probe \text{ dynamic range}} \quad (4.7)$$

Además, se define la potencia máxima disipada por el divisor (Ecuación 4.8). Por lo tanto, el número de resistencias y sus valores resistivos se establecen utilizando estas dos ecuaciones.

$$P_{measurement} = \frac{V_{DC}^2}{R_o + \sum_{i=1}^n R_i} \quad (4.8)$$

Una vez que se ha definido el número de pares RC , el valor de la capacidad equivalente se calcula de manera que no afecte al comportamiento en conmutación del dispositivo bajo prueba (DUT). La corriente desviada a la red RC durante el transitorio de apagado (i_{Cnet}), Figura 4.2, depende de la dv/dt entre drenador y surtidor, y de la propia capacidad equivalente (Ecuación 4.9).

$$i_{Cnet} = C_{net} \cdot \frac{dv_{DS}}{dt} = \left(\frac{1}{\frac{1}{C_o} + \sum_{i=1}^n \frac{1}{C_i}} \right) \cdot \frac{dv_{DS}}{dt} \quad (4.9)$$

Por otro lado, la dv_{DS}/dt durante el apagado del MOSFET depende a su vez de la corriente que está conduciendo el dispositivo (i_{DS}), Ecuación 4.10.

$$\left| \frac{dv_{DS}}{dt} \right| = \left| \frac{v_{GS}(i_{DS}) - v_{DRV}}{R_{gate} \cdot C_{GD}} \right| \quad (4.10)$$

En consecuencia, para reducir la influencia de la red RC en el transitorio de conmutación, la corriente desviada (i_{Cnet}) debe reducirse tanto como sea posible. Como criterio, en el diseño realizado se ha limitado la máxima corriente desviada (i_{Cnet}) al 10% de la corriente de drenador (i_{DS}).

Por otra parte, los fabricantes de sondas de alta frecuencia proporcionan un modelo simplificado de la impedancia de entrada de la sonda para señales alternas, R_{probe} y C_{probe} , Figura 4.3. Esto es suficiente para analizar cómo la sonda en sí misma afecta al divisor de tensión. Tal y como se muestra en la Tabla 4.1, la sonda utilizada, Tektronix $TPP1000$, tiene una impedancia de entrada de $10M\Omega$ y menos de $4pF$. Para minimizar su influencia en el divisor de tensión, el valor de R_o debe ser considerablemente más bajo que la resistencia de entrada de la sonda pasiva. Para valores en torno a las decenas de kiloohmios, el error de carga puede considerarse despreciable. De manera similar, se debe reducir la influencia de la capacidad de la sonda y así su influencia en la medida de tensión.

Como se ha puesto en relieve anteriormente, todos los pares RC deben tener una constante de tiempo igual. Esto significa que la tolerancia de los componentes utilizados es de gran relevancia. Cualquier diferencia en las constantes de tiempo RC puede distorsionar la medida de tensión.

A modo comparativo se ha evaluado la respuesta frecuencial de tres divisores de tensión

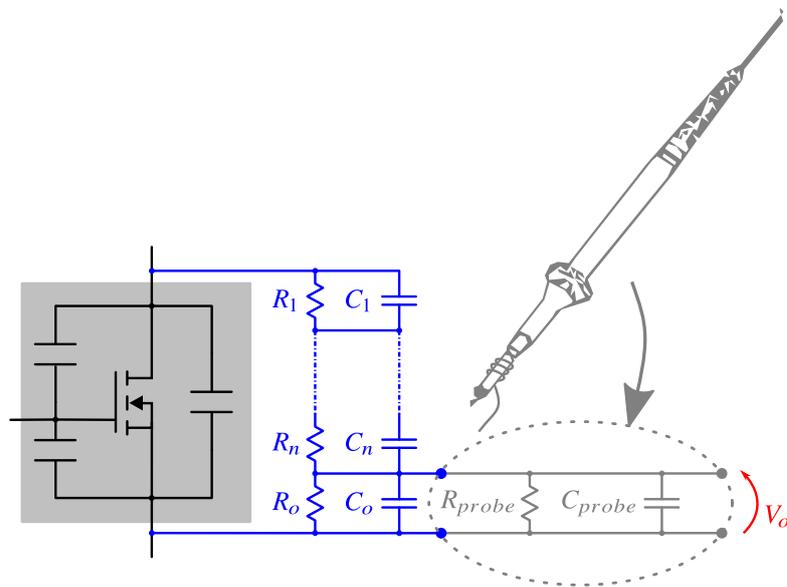


Figura 4.3: Divisor RC para la medida de la tensión (v_{DS}).

diferentes. El primero es un divisor de tensión construido con resistencias de orificio pasante (Through Hole - TH), el segundo es un divisor de tensión RC construido también con componentes de orificio pasante (TH) y el tercero es un divisor de tensión RC en el que se han utilizado dispositivos de montaje superficial (SMD). Los resultados muestran que el divisor de tensión compuesto únicamente por resistencias tiene un comportamiento frecuencial pobre, Figura 4.4, con un ancho de banda inferior a 500 kHz . La red RC de componentes de orificio pasante tiene una respuesta frecuencial considerablemente mejor que el divisor de tensión basado únicamente en resistencias. Esta red tiene una ganancia plana hasta los 300 MHz , mientras que la fase es plana hasta los 60 MHz . A pesar de una pequeña resonancia en torno a los 100 MHz , el divisor de voltaje SMD RC tiene una respuesta de ganancia casi plana hasta 500 MHz y la fase es plana hasta 400 MHz . Debido a su respuesta frecuencial superior, se ha elegido el divisor RC basado en componentes SMD para la medida de tensión en los ensayos posteriores.

4.3 Medida de corriente

La sonda de corriente proporciona una imagen de la corriente a través del DUT. Existen principalmente tres tipos de sondas de corriente de gran ancho de banda para la medida de transitorios en dispositivos de potencia: sondas basadas en la bobina de Rogowski (Rogowski), transformadores de corriente (Pearson) y resistencias shunt coaxiales. Debe tenerse en cuenta que las sondas de corriente siempre añaden cierta impedancia de inserción al circuito. Esto toma especial relevancia cuando se utiliza para la medida de transitorios de conmuta-

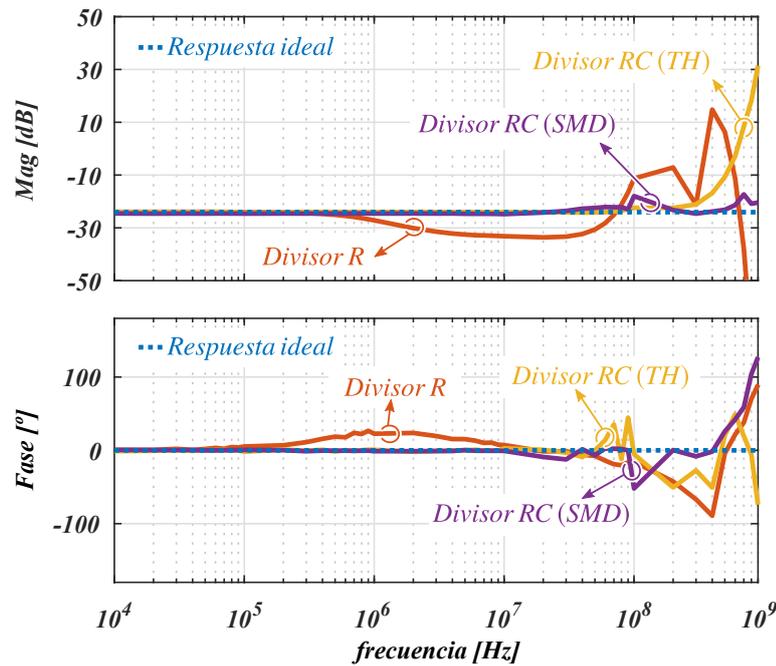


Figura 4.4: Respuesta frecuencial de los divisores de tensión evaluados.

ción rápidos, ya que la inductancia adicional insertada por el circuito de medida aumenta las sobretensiones y las oscilaciones. Hasta ahora, las sondas Pearson y las sondas Rogowski han sido las opciones preferidas para evaluar los módulos de silicio (IGBT+Diodo) [122]. Ambas sondas tienen un amplio rango de amplitud de corriente con suficiente ancho de banda para medir transitorios rápidos de los módulos de silicio. Su utilización es sencilla, ya que pueden rodear tornillos o terminales, por lo tanto, no es necesario romper el circuito para introducir la sonda. En diseños pequeños, con encapsulados discretos, es habitual romper el circuito para introducir la sonda de corriente. Este último procedimiento también es necesario cuando se mide con resistencias shunt coaxiales.

4.3.1 Descripción de las sondas de corriente disponibles

Tal y como se ha hecho con las sondas de tensión, en este apartado se realiza una comparativa de las sondas de corriente disponibles. La Tabla 4.2 resume las características de las tres sondas evaluadas. Se puede observar que las tres sondas son capaces de medir tiempos de subida muy cortos. Sin embargo, se puede esperar que la sonda Pearson disponible y sonda Rogowski no sean adecuadas para medir los transitorios de corriente en el rango de 5 a 10 ns del SiC-MOSFET discreto utilizado como DUT.

La sonda Rogowski es una bobina flexible y delgada que se puede insertar fácilmente en el circuito sin alterar el diseño. Esta sonda de corriente proporciona aislamiento galvánico. El transductor de corriente Rogowski está compuesto por una bobina Rogowski y un integrador

Tabla 4.2: Sondas de corriente evaluadas.

Modelo	Tipo de corriente	Aislamiento galvánico	BW (MHz)	t_{rise} (ns)	I_{max} (A)	Coste* (€)
CWT MiniHF 6 (Sonda Rogowski)	ac	Sí	30	12	1200	≈820
Pearson 410 (Transformador de corriente)	ac	Sí	20	20	5000	≈650
T&M SDN-015 (Shunt coaxial)	ac-dc	No	1200	0.3	E_{max}^{**}	≈350

*Coste medio calculado a partir de varios suministradores en 2018.

**Dependiente de la duración del pulso.

que ofrece una imagen de la corriente medida. El principio de funcionamiento se basa en que un cambio en la corriente a medir induce una tensión en la bobina tal y como se muestra en la Ecuación 4.11.

$$V_{signal} = L_M \cdot \frac{di_{signal}}{dt} \quad (4.11)$$

donde L_M es la inductancia mutua entre la bobina y el conductor de señal. La integral de la tensión inducida es proporcional a la corriente medida (Ecuación 4.12) [65], [123].

$$i_{signal} = \frac{1}{L_M} \int V_{signal} dt \quad (4.12)$$

Uno de los principales inconvenientes de esta sonda es que sufre de acoplamiento capacitivo (Ecuación 4.13) cuando la sonda se coloca cerca de una fuente de transitorios rápidos de tensión (alta dv/dt).

$$i_{coupling} = C_{coupling} \cdot \frac{dV_{DS}}{dt} \quad (4.13)$$

Esta corriente de acoplamiento distorsiona la medida y hace necesaria la aplicación de métodos de corrección. En [124] se propone un procedimiento de medida de dos pasos para rechazar esta distorsión (Figura 4.5 (a)).

Tras de una primera medida abrazando la pista (Ecuación 4.14), se realiza una segunda medida con la sonda Rogowski ubicada de la misma manera en el mismo punto de medida pero sin rodear el conductor. Por lo tanto, la segunda medida registra solo el acoplamiento debido a la dv/dt (Ecuación 4.15).

$$V_{encirc.} = V_{signal} + V_{coupling} \quad (4.14)$$

$$V_{no\ encirc.} = V_{coupling} \quad (4.15)$$

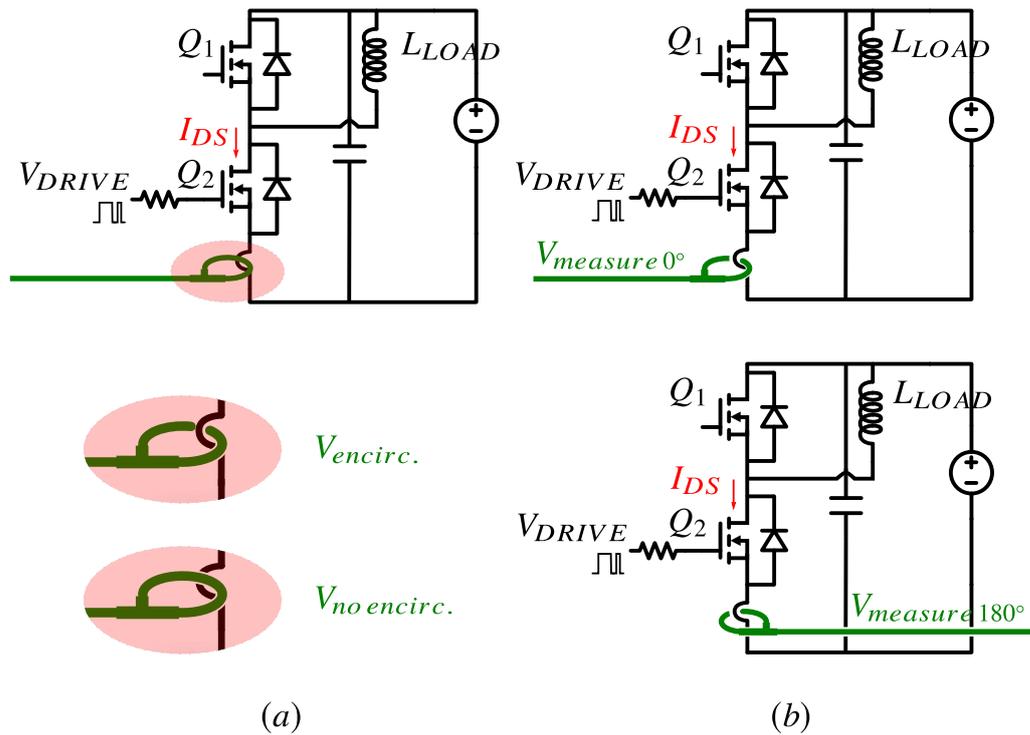


Figura 4.5: Métodos de cancelación de ruido en sondas Rogowski (a) restado de medida de ruido y (b) cambio de ángulo de la sonda.

Esta segunda medida se resta a la primera medida y se obtiene así la imagen final de la medida de corriente (Ecuación 4.16).

$$V_{meas. final} = V_{encirc.} - V_{no encirc.} = V_{signal} \quad (4.16)$$

De manera similar, el procedimiento presentado en [125] también utiliza dos pasos para eliminar el acoplamiento, Figura 4.5 (b). En el primer paso se mide la corriente (Ecuación 4.17) por un conductor y en el segundo paso se mide la misma corriente girando la bobina 180 grados (Ecuación 4.18). Por lo tanto, el efecto de acoplamiento es el mismo en ambas medidas, pero el signo de la corriente medida es el opuesto.

$$V_{measure 0^\circ} = V_{signal} + V_{coupling} \quad (4.17)$$

$$V_{measure 180^\circ} = -V_{signal} + V_{coupling} \quad (4.18)$$

Finalmente, se restan ambas medidas para obtener la señal de tensión imagen de la co-

riente (Ecuación 4.19):

$$V_{meas. final} = V_{measure 0^\circ} - V_{measure 180^\circ} = 2 \cdot V_{signal} \quad (4.19)$$

Ambos métodos se han evaluado para eliminar el ruido acoplado a la medida de un transitorio de corriente, Figura 4.6. El tiempo de caída (t_f) de la corriente medida es mayor que el tiempo de subida utilizable de la sonda (12 ns). Como se puede observar, la misma corriente de drenador-surtidor se ha medido con una resistencia shunt coaxial ($I_{DS\ shunt}$ en la Figura 4.6 (a)) y la sonda Rogowski (Figura 4.6 (b) y (c)). Las medidas con la sonda Rogowski presentan un alto nivel de distorsión debido al acoplamiento de modo común. Con el primer método, Figura 4.6 (b), la corriente resultante tiene una se reduce con una derivada menor que la corriente medida por la resistencia shunt, por lo que el método o al menos las medidas realizadas deben ponerse en duda.

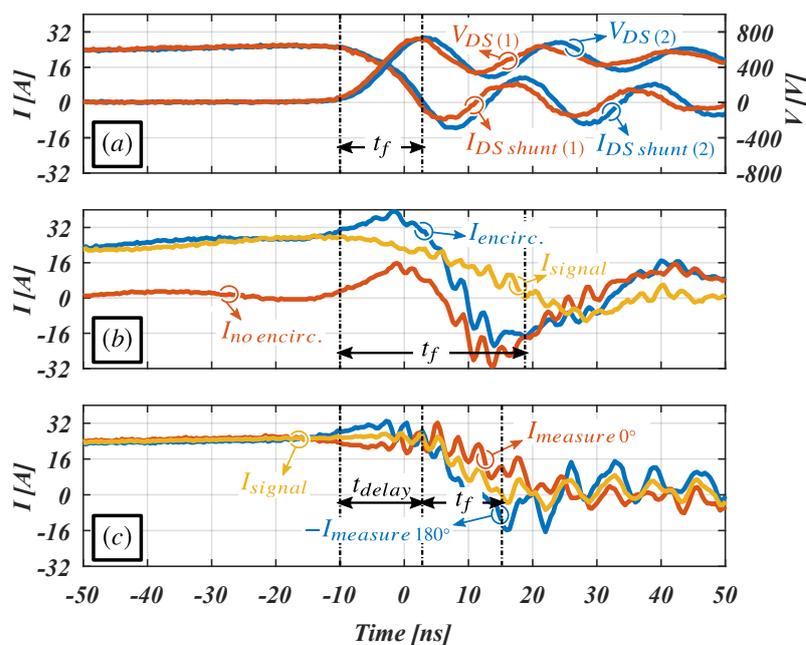


Figura 4.6: Medida del proceso de apagado de un SiC-MOSFET: (a) Tensión y corriente medida con shunt en ambos ensayos, (b) medida de corriente con sonda Rogowski aplicando el método de restado del ruido y (c) medida de corriente con sonda Rogowski aplicando el método de cambio de ángulo.

Con el segundo método, la corriente obtenida tiene una derivada de corriente similar a la medida con la resistencia shunt (2 A/ns). Sin embargo, en comparación con la medida realizada con la shunt, aún tiene un alto nivel de ruido debido al acoplamiento. Además, tal y como se esperaba, el amplificador-integrador de la sonda Rogowski introduce un gran retardo en la medida. Debido a las dificultades para obtener una medida clara con la bobina de Rogowski,

esta sonda de corriente ha sido descartada en los ensayos posteriores.

Los fabricantes de dispositivos de potencia utilizan también transformadores de corriente del fabricante Pearson para caracterizar sus dispositivos [122], [108]. Estas sondas están formadas por un núcleo magnético, un devanado secundario, una resistencia de terminación y un blindaje electromagnético que los hace prácticamente inmunes a acoples de dv/dt -s. Poseen un gran ancho de banda, gran linealidad y bajas pérdidas de inserción [126]. El principio de funcionamiento es similar al de la sonda Rogowski, pero en lugar de un núcleo de aire, en este caso tiene un núcleo de material magnético. Uno de los mayores problemas con estos transductores es que el núcleo es rígido y voluminoso, por lo que su inserción en diseños compactos resulta compleja.

Por último, la resistencia shunt coaxial (también llamada CVR, Current Viewing Resistor) es un transductor de corriente de alta frecuencia [127]. Esta resistencia shunt coaxial actúa como una simple resistencia de bajo valor óhmico. Idealmente, la corriente medida se calcula como:

$$I_{signal} = \frac{V_{shunt}}{R_{shunt}} \quad (4.20)$$

Sin embargo, si se utiliza para medir una corriente con una elevada derivada, la medida puede verse distorsionada por la influencia de la inductancia parásita de la propia resistencia shunt. Además, la resistencia shunt introduce una impedancia relativamente alta en el circuito. Se puede elegir una resistencia shunt de bajo valor óhmico para reducir esta impedancia de inserción, sin embargo, esto puede comprometer la relación señal a ruido (SNR) y se pueden obtener señales demasiado ruidosas. Por el contrario, si el valor de la resistencia es alto, la caída de tensión en la resistencia puede influir en la estimación de las pérdidas de conmutación. Además, una resistencia shunt no proporciona aislamiento galvánico. Esto puede ser un gran inconveniente en ensayos realizados en el prototipo final, sin embargo, en prototipos de prueba no es necesariamente un inconveniente.

4.3.2 Método para la estimación de corriente

El método de estimación de corriente que se propone consiste básicamente en la medida de la caída de tensión en la inductancia parásita que existe desde el terminal surtidor del MOSFET al potencial de tierra del circuito. Esta caída de tensión es proporcional a la derivada de la corriente a través del MOSFET y a la propia inductancia parásita. La corriente se obtiene integrando la tensión medida (Ecuación 4.21).

$$I_{DS} = \frac{1}{L_{\sigma S}} \int V_{L\sigma S} dt \quad (4.21)$$

Como se muestra en la Ecuación 4.21, se debe conocer el valor de la inductancia parásita

($L_{\sigma S}$) para resolver la integral y estimar correctamente la amplitud de la corriente. Estimar de forma precisa el valor de la inductancia parásita es complicado, ya que la derivada de la corriente no es constante durante el transitorio de conmutación. Por lo tanto, son necesarias medidas precisas de tensión, corriente y un postprocesado numérico para estimar su valor. Para evitar este cálculo de la inductancia parásita, en este trabajo se propone un método alternativo para su estimación. Durante el transitorio de conmutación, se miden la tensión $V_{L\sigma S}$ y la corriente de carga (I_{LOAD}). Como la medida de la corriente de carga no presenta transitorios rápidos, se puede usar una sonda de corriente estándar, de relativo bajo ancho de banda, para su medida. Así, el proceso para la obtención de la medida del transitorio de corriente de drenador-surtidor y la estimación de $L_{\sigma S}$ es:

1. La tensión medida en la inductancia parásita $V_{L\sigma S}$ se integra en los intervalos de tiempo en los cuales ocurren los transitorios de encendido (t_1 a t_2) y apagado (t_3 a t_4) en la Figura 4.7. Esto proporciona una imagen de la forma de onda de la corriente transitoria pero con una amplitud incorrecta ($I_{DS L\sigma S}^*$), ya que en este punto el valor de $L_{\sigma S}$ es desconocido y no se puede aplicar como se muestra en la Ecuación 4.21.
2. En el transitorio de encendido del MOSFET, el valor final (en t_2) de la Ecuación 4.22 debe ser igual a la corriente de carga medida (I_{LOAD}) en este momento.

$$I_{DS L\sigma S}^* = \int_{t_1}^{t_2} V_{L\sigma S} dt \quad (4.22)$$

Por lo tanto, $I_{DS L\sigma S}^*$ debe multiplicarse por un factor que iguale las amplitudes de la corriente de carga y la corriente estimada en régimen estable (t_2). El factor de multiplicación se muestra en la Ecuación 4.23, siendo este factor la inversa de la inductancia parásita a estimar $L_{\sigma S(ON)}$.

$$\frac{1}{L_{\sigma S(ON)}} = \frac{I_{LOAD}(t_2)}{I_{DS L\sigma S}^*(t_2)} \quad (4.23)$$

3. En el transitorio de apagado, la imagen de la corriente estimada tiene un valor negativo debido a que la caída de tensión medida es negativa. En un primer paso, se aplica un desplazamiento (I_{OFFSET}^*) al valor de la imagen estimada de la corriente para garantizar que el valor transitorio final sea nulo ($I_{DS L\sigma S}^* = 0$) en la Ecuación 4.24.

$$I_{DS L\sigma S}^* = \int_{t_3}^{t_4} V_{L\sigma S} dt + I_{OFFSET}^* \quad (4.24)$$

El valor de la Ecuación 4.24 en t_3 debe ser igual a la corriente de carga medida en este instante. Por lo tanto, en un segundo paso, $I_{DS L\sigma S}^*$ debe multiplicarse por una ganancia

que iguale la corriente estimada con la amplitud de la corriente de carga cuando Q_2 está en conducción (comienzo del transitorio actual, t_3). El factor de multiplicación es $1/L_{\sigma S(OFF)}$ y, en consecuencia, el valor de $L_{\sigma S(OFF)}$ se puede estimar fácilmente.

$$\frac{1}{L_{\sigma S(OFF)}} = \frac{I_{LOAD}(t_3)}{I_{DSL_{\sigma S}}^*(t_3)} \quad (4.25)$$

4. Si ambas variables, $L_{\sigma S(ON)}$ y $L_{\sigma S(OFF)}$, tienen el mismo valor, se puede considerar que la estimación de corriente es válida. Si $L_{\sigma S(ON)}$ y $L_{\sigma S(OFF)}$ difieren esto es indicativo de una mala estimación de la corriente debida a una baja relación señal/ruido en las medidas. Es necesaria una gran relación señal/ruido en la medida de tensión en la inductancia parásita para evitar estimaciones no válidas. Cuando no se tiene, se debe considerar una mayor inductancia parásita (en un tramo de PCB mayor) para incrementar esta relación.

En los ensayos de caracterización realizados, tanto la tensión drenador-surtidor como la caída de tensión en la inductancia parásita se han medido con dos sondas pasivas de tensión idénticas de gran ancho de banda (*TPP1000*). Por lo tanto, las señales de voltaje medido y las corrientes estimadas no necesitan ningún alineamiento temporal posterior.

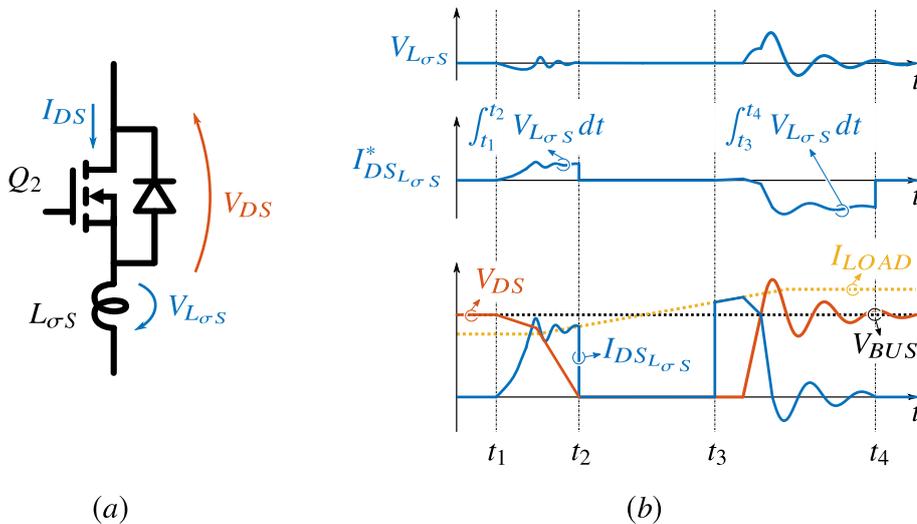


Figura 4.7: Procedimiento de medida de la corriente por el MOSFET: (a) Medida de la tensión en la inductancia y (b) método de ajuste para la estimación de la corriente.

4.4 Validación de los métodos de medida propuestos para dispositivos SiC

Para validar los métodos de medida propuestos se han realizado diferentes medidas. Primeramente, se ha evaluado el divisor de tensión diseñado, Figura 4.8. Todas las resistencias

son de $20\text{ k}\Omega$ con una tolerancia del $0,1\%$ y los condensadores son de 1 nF con una tolerancia del 1% . El PCB de dos capas está diseñado simétricamente para minimizar la inductancia parásita en el divisor.

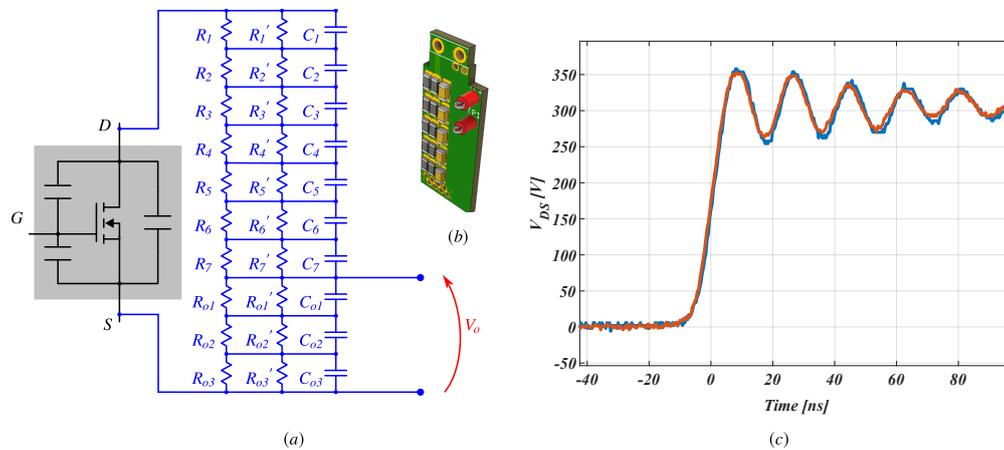


Figura 4.8: (a) Configuración final del divisor de tensión propuesto, (b) su diseño en PCB y (c) su validación.

Para validar el divisor de tensión propuesto, se mide una transición rápida de tensión hasta 300 voltios entre drenador y surtidor con la sonda de voltaje pasivo (*TPP1000*) y mediante el divisor de tensión propuesto. Como se puede ver en la Figura 4.8 (c), ambas medidas coinciden perfectamente durante el transitorio de tensión.

En un segundo paso, se valida el método de medida de corriente. En este caso, las primeras medidas se han realizado utilizando la resistencia shunt coaxial y el transformador de corriente de Pearson (Tabla 4.2) comparando ambas medidas con el método de estimación de corriente propuesto (Figura 4.9). Como la sonda de Pearson tiene un tiempo de subida relativamente grande para este ensayo, esta prueba se realiza ralentizando el proceso de conmutación del MOSFET.

Se puede observar, Figura 4.10, que las respuestas de la Pearson y del método propuesto tienen el mismo comportamiento después de corregir el retardo requerido a la sonda de Pearson (12 ns). Por el contrario, la respuesta de la resistencia shunt está ligeramente adelantada durante el proceso de encendido y considerablemente adelantada durante el proceso de apagado. Este comportamiento se debe a la influencia de derivada de corriente en la inductancia parásita de la propia resistencia shunt [128]. Por lo tanto, se espera una mayor distorsión en la medida de corriente con la shunt si se miden derivadas de corriente mayores.

Se puede ver que las pérdidas de potencia estimadas con la sonda Pearson y el método propuesto coinciden perfectamente, mientras que las pérdidas calculadas con la medida de la shunt coaxial son mayores en el transitorio de encendido y menores durante el transitorio de apagado debido a la influencia de la inductancia parásita de la propia shunt.

Una vez validado el método propuesto para la estimación de la corriente, se ha medido

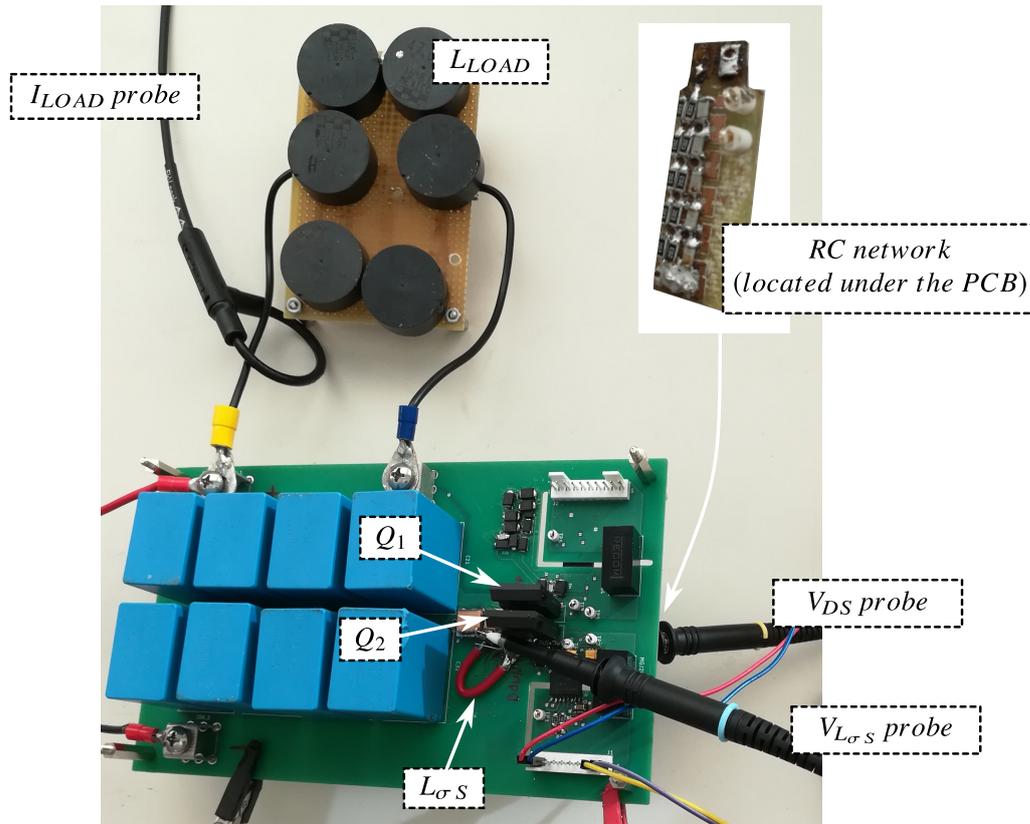


Figura 4.9: Banco de ensayos con los métodos de medida de tensión y corriente propuestos.

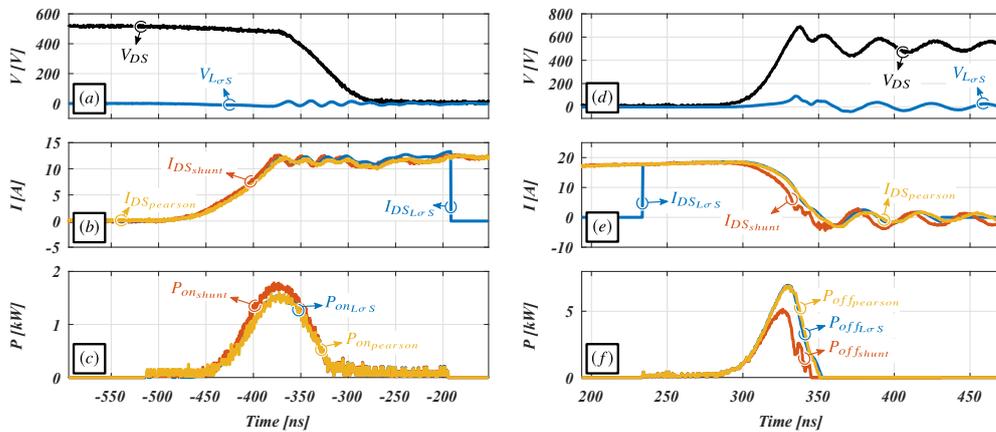


Figura 4.10: Medida del transitorio de la tensión v_{DS} en el (a) encendido y el (d) apagado. Comparativa de las corrientes medidas con la resistencia shunt coaxial, la sonda Pearson y el método propuesto en el (b) encendido y el (e) apagado. Pérdidas de conmutación estimadas para el (c) encendido y el (f) apagado.

un transitorio de conmutación más rápido. En este caso, los tiempos de subida y bajada son más cortos que el tiempo de subida utilizable por la Pearson (12 ns) y, por lo tanto, solo se han utilizado la shunt coaxial y el método propuesto. Para la estimación de corriente, la caída de

voltaje de la inductancia parásita se ha medido en dos rutas diferentes del PCB, una con un valor de 18 nH y la otra con 27 nH para verificar que en ambos casos la estimación sea similar. A partir de los resultados obtenidos, Figura 4.11, se puede observar como para transitorios de corriente más rápidos la influencia de la inductancia parásita de la shunt coaxial se vuelve más notoria. Así, durante el transitorio de encendido, la medida de corriente mediante la resistencia shunt aparece adelantada respecto a la tensión drenador-surtidor. Esto es indicativo de un mal comportamiento de la shunt en estas condiciones de funcionamiento.

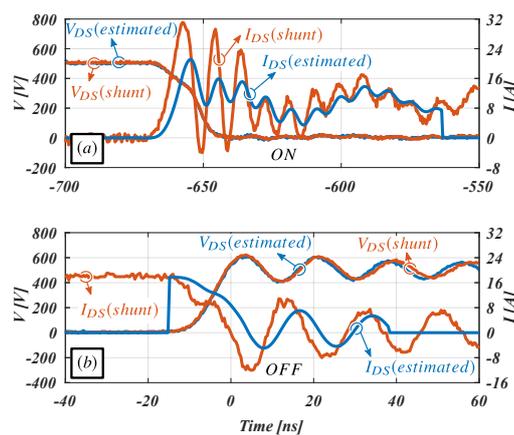


Figura 4.11: Comparativa de las medidas de corriente con la shunt coaxial y el método propuesto durante los transitorios de (a) encendido y (b) apagado.

Durante el transitorio de apagado se obtiene un comportamiento similar. Se mide una sobretensión en v_{DS} cuando la resistencia shunt mide una pendiente de corriente positiva. Por lo tanto, al menos la resistencia shunt testada (SDN-015) no se puede considerar como un sensor válido para este tipo de medidas. Con el método de estimación de corriente propuesto, la medida de corriente de drenador i_{DS} y la medida de tensión v_{DS} están sincronizadas. Durante el transitorio apagado, la pendiente de la tensión v_{DS} provoca la desviación de corriente hacia el diodo complementario. Cuando se alcanza la tensión del bus de continua, la derivada de corriente provoca una sobretensión. Si la corriente tiene una derivada nula, no se mide sobretensión. De manera similar en el transitorio de encendido, la derivada de corriente provoca la caída de tensión v_{DS} . Una vez que el diodo pn complementario alcanza la corriente de recuperación inversa máxima, la tensión v_{DS} comienza a caer a cero.

Utilizando los métodos de medida propuestos, se han calculado las pérdidas de energía del MOSFET en el circuito de conmutación real. Los resultados obtenidos se han comparado con la estimación de pérdidas proporcionada por el fabricante en su banco de pruebas. Para la comparativa se utilizan los mismos valores de tensión de bus (500 V) y resistencia de puerta.

En la Figura 4.12 se puede observar que las pérdidas de encendido estimadas son menores que las pérdidas ofrecidas por el fabricante, mientras que las pérdidas de apagado casi duplican las pérdidas proporcionadas en la hoja de características. Como no hay formas de onda de ten-

sión y corriente disponibles de las pruebas realizadas por el fabricante, no es posible analizar la naturaleza de la desviación frente a las pruebas realizadas en el laboratorio. Las diferentes inductancias parásitas, los retrasos leves no compensados o incluso errores introducidos por las sondas de tensión y corriente podrían ser la razón de tal desviación.

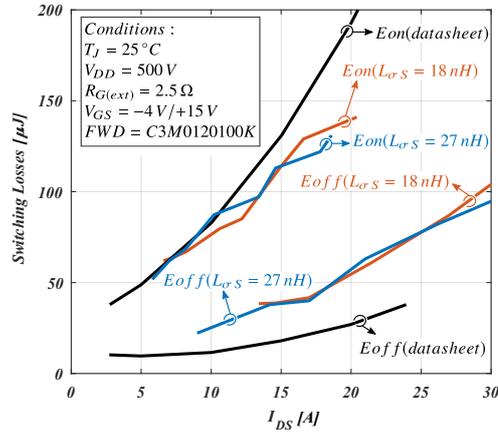


Figura 4.12: Pérdidas de energía calculadas utilizando las medidas de los métodos propuestos y pérdidas de energía en conmutación proporcionadas por el fabricante.

4.5 Conclusiones

En este capítulo se ha presentado un método simple y asequible para la medida de transitorios rápidos de los dispositivos SiC. Con este método ambas variables, corriente y tensión, se miden simultáneamente con dos sondas pasivas de tensión. Dado que ambas medidas se basan en sondas pasivas de tensión idénticas y calibradas, no hay necesidad de ninguna alineación temporal. Esto simplifica la medida de transitorios.

El método de medida de tensión utiliza un divisor de tensión de gran ancho de banda y una sonda pasiva de tensión. Se puede usar la misma sonda pasiva incluso si se miden diferentes voltajes v_{DS} simplemente cambiando la atenuación del divisor de voltaje diseñado.

El método de estimación de corriente propuesto se basa en la medida de la caída de tensión en la inductancia parásita del circuito de potencia. Si el diseño tiene suficiente inductancia parásita, este método proporciona una impedancia de inserción prácticamente nula. Si se usa adicionalmente un sensor de corriente estándar para la medida de la corriente de carga, la estimación de la inductancia parásita se simplifica enormemente. Por lo tanto, la estimación de la corriente transitoria es sencilla.

Ambos métodos se utilizan posteriormente en la medida de transitorios en un diseño que integra módulos Easy 2B de Infineon [98], donde la inserción de sondas de corriente convencionales implica una modificación severa del layout final.

Capítulo 5

Criterios de diseño y evaluación de drivers para SiC-MOSFET

Los SiC-MOSFET disponibles comercialmente tanto en encapsulados discretos como en módulos son mucho más rápidos y más eficientes conmutando que los IGBTs de silicio tradicionales tal y como se ha mostrado en el Capítulo 2. Para explotar las posibilidades que ofrecen estos nuevos dispositivos, además de un buen layout de potencia, resulta necesario comprender y satisfacer los requerimientos de puerta que imponen estos dispositivos. Es por ello que el adecuado diseño del driver de puerta resulta fundamental para el correcto funcionamiento del SiC-MOSFET. A su vez, estos drivers de puerta tienen que proteger al componente cuando este trabaja bajo condiciones de falta.

A día de hoy, los SiC-MOSFETs tienen requisitos de puerta distintos a los de los IGBTs o MOSFET de silicio. En general, se deben encender con tensiones de puerta de 15 a 20 voltios para conseguir valores reducidos de la resistencia de encendido ($R_{DS(on)}$) [129]. En comparación con los MOSFETs de silicio, exhiben una transconductancia más baja, una mayor resistencia interna de puerta y una tensión umbral de puerta que puede ser inferior a 2 voltios [130]. El hecho de tener una baja tensión de umbral, hace que este componente tenga baja inmunidad frente a dv/dt -s y por lo tanto, la tensión de puerta para el apagado tiene un rango que va desde los 0V (baja inmunidad frente a dv/dt -s) hasta tensiones negativas cercanas a los -5 voltios (alta inmunidad frente a dv/dt -s) [84].

En este capítulo se describen y detallan los criterios y requisitos de diseño del driver de puerta para el gobierno de SiC-MOSFETs. Este driver se dimensiona para gobernar el SiC-MOSFET discreto C3M0120100K [4] de Wolfspeed y (con las modificaciones pertinentes) el módulo FF6MR12-W2M1_B11 [98] de Infineon. Ambos SiC-MOSFETs se han utilizado en este trabajo bien para su caracterización (Capítulo 3) o bien en la aplicación final (Capítulo 6).

En la Tabla 5.1 se muestran los requerimientos que ha de tener el driver para controlar cada uno de estos dispositivos.

Además de los requerimientos básicos del driver para el gobierno del SiC-MOSFET (alimen-

Tabla 5.1: Requerimientos del driver de puerta para el MOSFET discreto C3M0120100K (a) y el módulo FF6MR12W2M1_B11 (b).

Parámetro	Imponente	Valor	Variable de diseño del driver en la que impacta
Frecuencia de trabajo	Aplicación*	50 kHz	<ul style="list-style-type: none"> Frecuencia de trabajo del driver. Tiempos de propagación.
Tensión de trabajo/ Tensión máxima del dispositivo	Aplicación* / Dispositivos SiC-MOSFET	750 V [*] 1000 V (a) 1200 V (b)	<ul style="list-style-type: none"> Tensión mínima de aislamiento. Protección contra sobretensión.
dv/dt	Dispositivos SiC-MOSFET	-(a) 24 kV/μs (b)	<ul style="list-style-type: none"> CMTI
Q _G	Dispositivos SiC-MOSFET	21,5 nC (a) 496 nC (b)	<ul style="list-style-type: none"> Potencia de alimentación del driver
R _G	Dispositivos SiC-MOSFET	2,5 Ω (a) 1,8 Ω (b)	<ul style="list-style-type: none"> Corrientes máximas de salida
Tensiones umbral de puerta	Dispositivos SiC-MOSFET	1,8 – 3,5 V (a) 3,45 – 5,55 V (b)	<ul style="list-style-type: none"> Tensiones de alimentación del secundario del driver. Clamp Miller.
Tensiones máximas de puerta	Dispositivos SiC-MOSFET	-8/ + 19 V (a) -10/ + 20 V (b)	<ul style="list-style-type: none"> Tensiones de alimentación del secundario del driver. UVLO.
Tensiones operativas de puerta	Dispositivos SiC-MOSFET	-4/ + 15 V (a) -5/ + 15 V (b)	<ul style="list-style-type: none"> Tensiones de alimentación del secundario del driver. UVLO.
Tiempo de cortocircuito t _{sc}	Dispositivos SiC-MOSFET	-(a) < 2 μs (b)	<ul style="list-style-type: none"> Circuito de detección y extinción de falta. Tensiones de alimentación del secundario del driver.

* Los detalles sobre la aplicación se exponen en el Capítulo 6.

tación, tensiones de puerta, potencia o aislamiento), se valoran funciones adicionales como la protección del dispositivo frente a faltas (DESAT), protección frente sobretensiones provocadas por el apagado durante una situación de falta (Soft turn-off, STO), bajada en las tensiones de alimentación (UVLO) o la capacidad de aumentar la inmunidad frente a encendidos inintencionados (Miller clamp).

5.1 Tensiones de puerta

Las tensiones de la alimentación del driver deben estar dentro del rango de tensiones de puerta máximas que indica el fabricante del SiC-MOSFET en su hoja de datos, Tabla 5.1.

La principal función de la tensión de encendido es mantener el dispositivo en la zona óhmica tratando de minimizar las pérdidas de conducción. Esta tensión de encendido, junto a la resistencia de puerta, determina a su vez las pérdidas de encendido durante la conmutación. En términos generales, la tensión de encendido es un compromiso entre las pérdidas de conducción, la degradación del óxido de puerta y la corriente de cortocircuito.

A medida que se aumenta la tensión de puerta aumenta también la saturación del transistor, por lo que se reduce la $R_{DS(on)}$ (Figura 2.41). Si se supera cierta tensión de puerta (13V en el dispositivo de la Figura 2.41), el dispositivo presenta un coeficiente de temperatura positivo, lo que ayuda a conectar en paralelo múltiples dispositivos, ya que la corriente tiende a equilibrarse de forma natural. Es de notar sin embargo que el coeficiente de temperatura es menor que en el caso de los MOSFETs de silicio [98] y por lo tanto su influencia en el equilibrado es menor.

Si se aplica una tensión de puerta por encima de los 15V (tensión de operación recomendada en [84]) se consigue reducir aún más las pérdidas, pero se provoca un deterioro en el aislamiento de puerta (SiO_2). El deterioro del óxido de puerta es más crítico en los MOSFET de carburo de silicio que en los de silicio. Esto se debe al menor espesor del óxido de la puerta y al mayor campo eléctrico por área que se bloquea en el óxido de puerta en los SiC-MOSFET al reducirse su área en comparación con los MOSFETs de silicio [98]. Este deterioro provoca a su vez una deriva positiva de la tensión umbral ($V_{GS(th)}$) que se traduce en un aumento de la $R_{DS(on)}$ a largo plazo [58] [131], Ecuación 5.1.

$$I_{DS} = k \left[(V_{GS} - V_{GS(th)}) \cdot V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (5.1)$$

$$R_{DS(on)} = \frac{V_{DS}}{I_{DS}} = \frac{1}{k \left[(V_{GS} - V_{GS(th)}) - \frac{1}{2} V_{DS} \right]} \quad (5.2)$$

De la Ecuación 5.2 se puede deducir que un incremento de la tensión umbral incrementa la $R_{DS(on)}$ para la misma tensión de puerta. Al aumentar $R_{DS(on)}$ aumentan las pérdidas de conducción, las de encendido y por tanto se aumenta la temperatura del dispositivo.

Por otra parte, las características de salida del SiC-MOSFET y del Si-IGBT también son diferentes ante un cortocircuito. Cuando ocurre un cortocircuito en un Si-IGBT, la corriente del colector aumenta y pasa mediante una brusca transición de la región de saturación a la región

activa. La corriente del colector se limita en función de la tensión de puerta y la característica de transferencia y es prácticamente independiente de la tensión entre colector y emisor (curva azul en la Figura 5.1 (a)). El SiC-MOSFET también funciona en la región óhmica durante la conducción. Del mismo modo, bajo condiciones de falta también entra a funcionar en la región activa. Sin embargo, a diferencia del Si-IGBT, en la zona de trabajo activa la característica de transferencia del SiC-MOSFET es muy dependiente de la tensión drenador-surtidor y por lo tanto, para una tensión de puerta constante, a medida que aumenta la tensión drenador-surtidor, la corriente de falta aumenta [99]. Por ello, la corriente de cortocircuito puede ser hasta 15 veces mayor que la corriente nominal [129], Figura 5.1 (a) [132]. Además, el área de chip para la misma corriente y tensión es más pequeña en el caso de los SiC-MOSFETs frente a los Si-IGBTs y en consecuencia, el chip de SiC-MOSFET tiene una menor inercia térmica [99]. Esto hace que el tiempo que el fabricante especifica para la detección y extinción de la falta sea de pocos microsegundos Figura 5.1 (b).

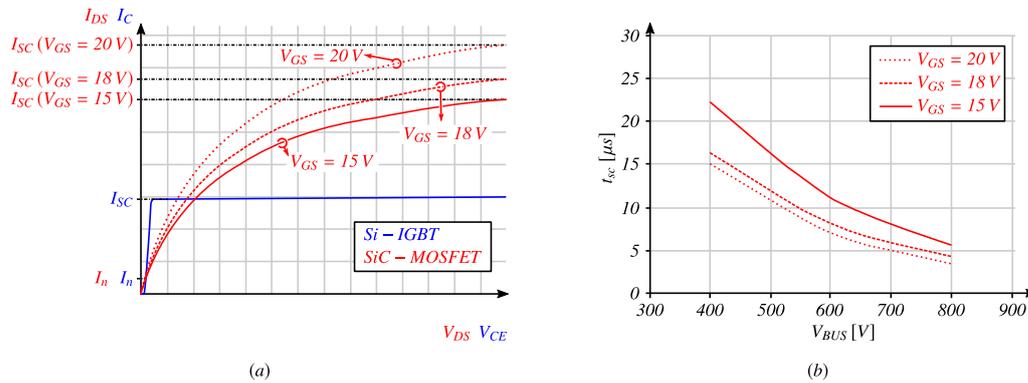


Figura 5.1: Características de salida del Si-IGBT y del SiC-MOSFET a diferentes tensiones de puerta frente a un cortocircuito (a) y la dependencia de tiempo de cortocircuito en SiC-MOSFETs frente a la tensión de puerta y drenador (b).

En cuanto a la tensión de puerta en el apagado, su principal función es interrumpir la conducción de corriente por el dispositivo y bloquear la tensión entre drenador y surtidor con una corriente de fugas muy pequeña.

El SiC-MOSFET es un dispositivo normalmente apagado, lo que permite su apagado con tensión de puerta nula ($V_{GS} = 0V$). Sin embargo, es capaz de conmutar a velocidades muy altas y las dv/dt -s que se generan pueden llegar hasta $100V/ns$. Para aumentar la inmunidad frente a estas altas dv/dt -s se recomienda una tensión de apagado negativa. La tensión de puerta típica para el apagado de SiC-MOSFETs suele variar entre $-2V$ y $-5V$ [58]. Es de notar que una tensión positiva excesiva de puerta provoca una deriva positiva de $V_{GS(th)}$, mientras que una tensión negativa excesiva de puerta da lugar a una deriva negativa de $V_{GS(th)}$ [133]. Así, en caso de aplicar una tensión de puerta negativa excesivamente baja para el apagado se reduce la tensión umbral del dispositivo y por lo tanto, se hace cada vez más vulnerable ante dv/dt -s.

Según [133], existe una tercera causa de degradación de la tensión de umbral, $V_{GS(th)}$. En aplicaciones conmutadas, donde la tensión de la puerta alterna regularmente entre las tensiones de puerta de encendido y apagado, se produce una degradación adicional asociada a la frecuencia de conmutación. Esta degradación provoca un incremento de la tensión umbral ($V_{GS(th)}$). A mayor frecuencia de conmutación, mayor resulta el incremento en la tensión umbral, $V_{GS(th)}$. Por ello, se recomienda una tensión de apagado dentro de los límites mostrados en la Figura 5.2.

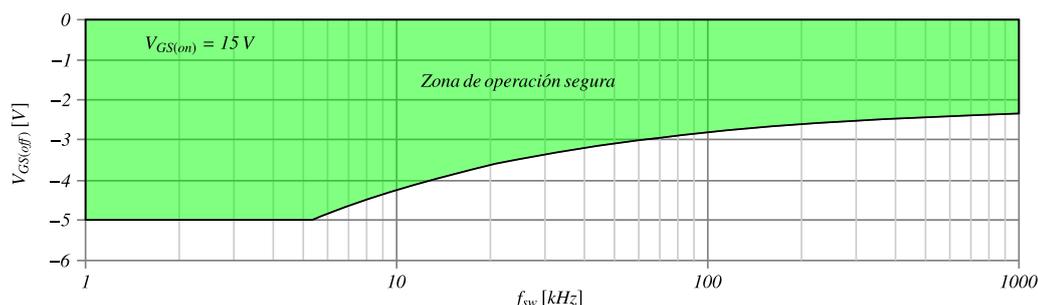


Figura 5.2: Área segura de tensiones de apagado en función de la frecuencia de conmutación [84].

La elección de la tensión de apagado de puerta es por tanto un compromiso entre la tensión que asegure su buen apagado (inmunidad dv/dt) y la tensión que junto a la frecuencia de conmutación no provoque un incremento de la tensión umbral (aumentando las pérdidas de conducción).

La Tabla 5.2 muestra a modo de resumen los tensiones de alimentación del driver utilizados para los dispositivos testados así como los criterios seguidos para su elección.

Tabla 5.2: Tensiones de puerta seleccionadas.

Parámetro	[V]	Criterios
Tensión de encendido $V_{GS(on)}$	+15	<ul style="list-style-type: none"> • $R_{DS(on)}$ suficientemente baja. • Reduce degradación SiO_2. • Reduce corriente máxima de cortocircuito.
Tensión de apagado $V_{GS(off)}$	-3	<ul style="list-style-type: none"> • Asegura inmunidad frente a dv/dt-s. • Reduce degradación SiO_2.

5.2 Capacidad de corriente y potencia manejada por el driver

Durante el proceso de conmutación, el driver aplica una tensión a su salida a la cual se pretende cargar/descargar el terminal de puerta. Como consecuencia de la diferencia de tensiones entre el driver y el terminal de puerta se genera la corriente de puerta. Esta corriente queda

limitada por la diferencia de tensiones driver-puerta así como por la resistencia de puerta. Esta corriente de puerta es la encargada de cargar/descargar las capacidades interelectrónicas del MOSFET. A mayor corriente de puerta, menor es el tiempo de carga/descarga, menor el tiempo de conmutación y por lo tanto menores son las pérdidas de conmutación.

Las corrientes máximas de puerta tanto de encendido como de apagado vienen determinadas tanto por las tensiones del driver como por la resistencia de puerta.

$$I_{G(on) máx} = \frac{V_{DRV(on)} - V_{GS}}{R_{G(on)}} = \frac{V_{DRV(on)} - V_{DRV(off)}}{R_{G(on)}} \quad (5.3)$$

$$I_{G(off) máx} = \frac{V_{DRV(off)} - V_{GS}}{R_{G(off)}} = \frac{V_{DRV(off)} - V_{DRV(on)}}{R_{G(off)}} \quad (5.4)$$

Se debe garantizar que el driver es capaz de suministrar tales picos de corriente. Para dispositivos que trabajan en el rango de tensiones de hasta 1700 voltios, normalmente se utilizan núcleos de drivers que trabajan con los tensiones de tensión de puerta a las dinámicas requeridas, así como el aislamiento necesario y otras funcionalidades [134]. En el Apéndice A se muestran núcleos comerciales para el gobierno de la puerta de los SiC-MOSFET. Tal y como se observa, ninguno de ellos es capaz de suministrar el pico de corriente requerido por el módulo FF6MR12W2M1_B11, Ecuación 5.5.

$$I_{G(on/off)max} = \frac{|V_{DRV}| - |V_{GS}|}{R_G} = \frac{18}{1,8} = 10A \quad (5.5)$$

En caso de que el núcleo del driver sea incapaz de proporcionar/absorber las corrientes máximas requeridas se añade una etapa de potencia externa como las mostradas en la Figura 5.3 (b) y (c). Esta etapa es un amplificador de corriente que utiliza un par de transistores complementarios que suministran o absorben la corriente de puerta del MOSFET de potencia. Este tipo de amplificador puede amplificar la corriente de puerta y por lo tanto aumentar la velocidad de conmutación. La Figura 5.3 (b) muestra la configuración de una etapa de potencia basada en semiconductores complementarios de óxido metálico (CMOS). Cuando la entrada V_{DRV} es de tensión alta, el dispositivo del canal n está encendido y el canal p apagado, y viceversa, invirtiendo la señal V_{GS} en relación a V_{DRV} . Se debe tener en cuenta que el hecho de que la etapa sea inversora implica que la lógica del enclavado de Miller también cambia. Estas etapas CMOS tienen una capacidad de salida de corriente limitada por la $R_{DS(on)}$ de los propios transistores CMOS. Si se requieren tiempos de subida y bajada mayores se pueden poner en paralelo varias ramas idénticas. Otra alternativa es el seguidor de tensión, push pull, que se muestra en la Figura 5.3 (c). La tensión salida de esta etapa sigue a la tensión de salida del driver (con la caída de tensión de las uniones base-emisor) pero amplifica la corriente de

salida del driver con una ganancia β . Alimentando adecuadamente esta etapa de salida, no se incurre en tiempos de saturación bipolar ya que los transistores funcionan en su zona lineal. Cabe destacar que esta es la configuración recomendada por los núcleos comerciales [135] y [136] cuando resulta necesario amplificar su corriente de salida.

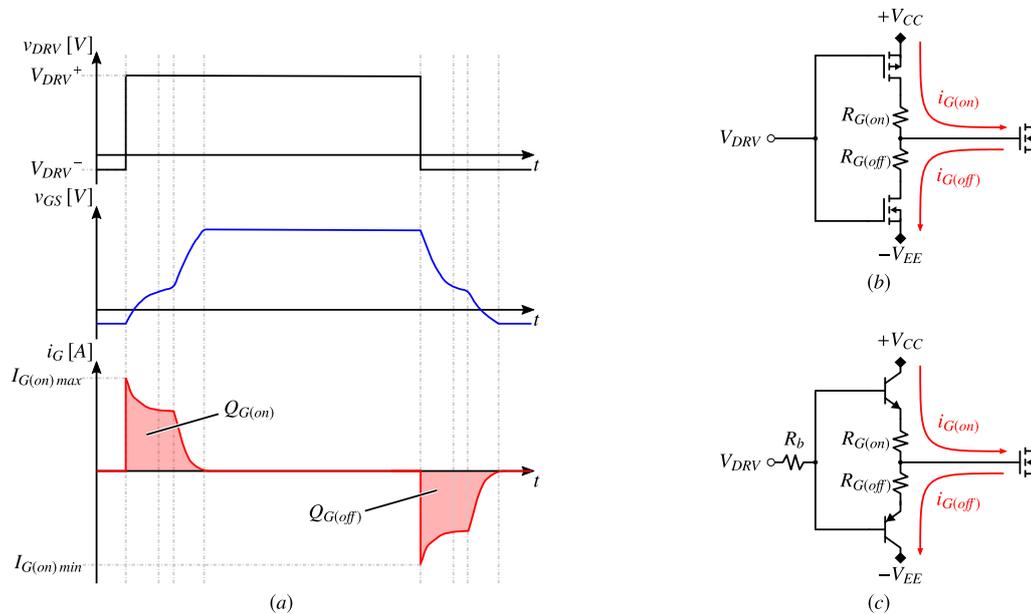


Figura 5.3: Corriente de de puerta (a) y configuraciones para amplificar la corriente de puerta en base a tecnología CMOS (b) y transistores BJT (c)

Al igual que con los componentes de silicio, el punto de partida para seleccionar la resistencia de puerta mínima es aquella que recomienda el fabricante en su hoja de datos. Esta resistencia es el valor mínimo de puerta con el que el fabricante logra un buen compromiso entre pérdidas de conmutación, límites de corriente y tensión durante las conmutaciones de encendido y apagado del dispositivo en caso de falta. En caso de que la inductancia parásita del lazo de potencia del convertidor real sea mayor que la que presenta el banco de ensayos del fabricante es posible que estas resistencias de puerta deban aumentarse.

En este caso el fabricante recomienda una resistencia de puerta tanto para el encendido como para el apagado de $2,5\Omega$ y $1,8\Omega$ para el SiC-MOSFET discreto y para el módulo respectivamente, Tabla 5.1. De esta manera, la corriente máxima que debe suministrar el driver en el encendido y apagado es de $10A$ para el caso del módulo tal y como define la Ecuación 5.5. En el Apéndice A (Tabla A.1) se muestra la capacidad de corriente suministrada/absorbida por los núcleos comerciales. Ninguno de los núcleos de driver comerciales considerados, es capaz de suministrar ni absorber tal nivel de corriente, por lo que es necesario utilizar una etapa amplificadora de corriente adicional.

Por su parte, las fuentes de alimentación de los drivers no son capaces de suministrar los picos de corriente demandados por la puerta. Resulta por ello obligatorio el uso de conden-

sadores de desacoplo que suministren los picos de corriente durante los transitorios. Para que estos condensadores trabajen de manera efectiva, han de colocarse muy próximos a la etapa de salida del driver reduciendo la inductancia parásita del lazo de corriente en el circuito de puerta. Si se conoce la cantidad de cargas a inyectar/extraer del terminal de puerta durante la conmutación, se puede estimar la capacidad de desacople necesaria para el driver si se fija la variación de tensión máxima en estos condensadores, Ecuación 5.6.

$$C_{decoupl(DRV)} = \frac{Q_G}{\Delta V_{DRV}} \quad (5.6)$$

En funcionamiento normal, la etapa de salida inyecta cargas al terminal de puerta para encender el MOSFET y las extrae para apagarlo. Durante ambos procesos, la resistencia de puerta disipa toda la potencia que suministra el driver. Para estimar esta potencia, se deben conocer las cargas totales a inyectar durante la conmutación (Q_G en Tabla 5.1), la frecuencia de conmutación y la tensión de trabajo del driver.

Así, la potencia media para el encendido es:

$$P_{AV}^+ = \frac{1}{T_{sw}} \int_0^{T_{sw}} V_{DRV}^+ \cdot i_G(t) \cdot dt \quad (5.7)$$

$$P_{AV}^+ = V_{DRV}^+ \cdot f_{sw} \cdot \int_0^{T_{sw}} i_G(t) \cdot dt = V_{DRV}^+ \cdot f_{sw} \cdot Q_t \quad (5.8)$$

Por su parte, la potencia media para el apagado sería:

$$P_{AV}^- = \frac{1}{T_{sw}} \int_0^{T_{sw}} |V_{DRV}^-| \cdot i_G(t) \cdot dt \quad (5.9)$$

$$P_{AV}^- = |V_{DRV}^-| \cdot f_{sw} \cdot \int_0^{T_{sw}} i_G(t) \cdot dt = |V_{DRV}^-| \cdot f_{sw} \cdot Q_G \quad (5.10)$$

Por lo tanto, la potencia media requerida para gobernar el terminal de puerta del módulo FF6MR12W2M1_B11 es:

$$P_{AV(DRV)} = (V_{DRV}^+ + |V_{DRV}^-|) \cdot f_{sw} \cdot Q_t \approx 450 \text{ mW} \quad (5.11)$$

A esta potencia se le debe sumar la potencia requerida por el propio núcleo en su funcionamiento. Debido al aislamiento que ofrece, la potencia requerida por el núcleo en el lado de puerta la otorga la fuente de alimentación del lado de puerta, mientras que la potencia

requerida por el lado de control la otorga la alimentación de la parte de señal. De este modo, la potencia máxima requerida por la etapa de salida del núcleo en este caso es:

$$P_{OD} = (V_{DRV}^+ + |V_{DRV}^-|) \cdot I_{CC2(max)} = 108 \text{ mW} \quad (5.12)$$

donde $I_{CC2(max)}$ es la corriente máxima para alimentar el núcleo por el lado de puerta. Por lo tanto, la potencia total de la fuente de alimentación del driver es:

$$P_{T(DRV)} = P_{AV(DRV)} + P_{OD} \approx 558 \text{ mW} \quad (5.13)$$

Se selecciona una fuente aislada Recom R24P21503D [137] que provee de las tensiones de alimentación de puerta (+15 y -3 voltios) y una potencia de 2 vatios, superior a las necesidades calculadas en la Ecuación 5.13. La fuente de alimentación provee un aislamiento de 6,4 kV y un CMTI de 65 kV/ μ s. Es importante también asegurar el aislamiento del rutado de los circuitos de control y potencia, y para ello se mantiene en todo momento el espacio libre entre pistas mínimo (clearance de 7 mm) indicado por el fabricante de la fuente aislada [137].

En la siguiente Tabla 5.3 se recogen las características de los elementos seleccionados para proveer la corriente y potencia requeridas por la puerta.

Tabla 5.3: Fuente de alimentación y amplificador de corriente seleccionados.

Dispositivo	Nombre dispositivo	Fabricante	Criterios de selección
Fuente de alimentación	R24P21503D	Recom	<ul style="list-style-type: none"> • Potencia (2 W) • Aislamiento (6400 V_{DC}) • CMTI (65 kV/μs) • C_{iso} (3 pF)
Amplificador de corriente	ECH8501	On Semiconductor	<ul style="list-style-type: none"> • Frecuencia de operación (> 1 MHz) • Tiempo reducido de subida (30 ns)/bajada (12 ns) • Tiempo de almacenamiento (220 ns) • Linealidad tensión entrada/salida • Capacidad del pulso de corriente (30 A) • Huella encapsulado (SMD)

5.2.1 Aislamiento del driver

Un driver ha de gobernar el terminal de puerta aplicando una tensión driver-surtidor determinada. En una célula de conmutación de dos tensiones, el MOSFET inferior, conectado a masa requiere para su control una tensión referida a masa, que puede coincidir con la masa del propio control. En este caso el aislamiento del driver puede ser prescindible siempre y cuando se tomen las consideraciones oportunas para reducir las inductancias de acople en el lado de potencia y el lado de control. El MOSFET superior, conectado a la tensión de bus, tiene su surtidor conectado a la carga, la cual tiene una tensión que fluctúa entre la tensión de bus y cero. El driver de este MOSFET requiere aplicar una tensión de control respecto a un punto

flotante, es decir, un punto cuya tensión es variable. Es por ello, que la etapa de salida de este driver obligatoriamente ha de estar aislada.

La mínima tensión de aislamiento DC que debe soportar cualquier componente del convertidor es la tensión máxima de trabajo del convertidor, aunque comúnmente se diseña para que sea capaz de soportar mayores tensiones. En [138] se recomiendan aislamientos de $2500V_{rms}$ y $3750V_{rms}$ para tensiones de bus de $566V_{DC}$ y $891V_{DC}$ respectivamente.

Por otra parte, las conmutaciones de tensión en dispositivos SiC son del orden de decenas de voltios por nanosegundo. El aislamiento del propio driver presenta una capacidad parásita (conductor-aislante-conductor) que acopla el lado de puerta con el lado de señal y que frente a estas derivadas de tensión inyecta corrientes en modo común al lado de señal. El parámetro Common Mode Transient Immunity (CMTI) define la inmunidad que presenta el driver operando bajo altas derivadas de tensión.

Existen diferentes soluciones para aislar la parte de puerta de la parte de señal en un núcleo de driver. En los siguientes apartados, se describen estas soluciones mostrando su principio de operación, así como sus ventajas y desventajas.

5.2.1.1 Driver de puerta optoacoplado

El aislamiento para dispositivos de silicio que no superan los $1,2kV$ de ruptura se logra mediante el uso de un solo optoacoplador para el envío de la señal de control seguido de una etapa de potencia para controlar los dos dispositivos de una rama (Figura 5.4 (a)). Tanto las señales de entrada (PWM de control, reset del driver) como de salida (aviso de falta) son relativamente fáciles de implementar y comúnmente están disponibles dentro del mismo encapsulado.

En esta configuración no existe aislamiento galvánico entre el driver del transistor superior y el driver del transistor inferior por lo que el bloqueo de tensión entre ellos lo asegura la circuitería interna del driver. La alimentación de cada driver (superior e inferior) puede ser aislada, aunque dado que ese aislamiento se rompe internamente, la alimentación del driver superior se puede realizar mediante un circuito *bootstrap*.

Otra posible arquitectura utilizando drivers optoacoplados es utilizar un driver aislado para cada transistor (Figura 5.4 (b)). De esta manera se mantiene el aislamiento entre potencia y control y se añade aislamiento entre el transistor superior y el inferior. Esta solución, aunque más compleja, carece de las limitaciones del bootstrap en cuanto a tiempo máximo de standby.

Aun así, en ambos casos el principal problema que presentan los drivers optoacoplados para su uso con dispositivos SiC es su baja inmunidad frente al ruido de modo común. Según [139] los optoacopladores presentan un CMTI hasta de $30kV/\mu s$ para tensiones de modo común cercanas a $300V$, y dicha inmunidad se reduce a los $8kV/\mu s$ para tensiones de $1,2kV$.

5.2.1.2 Driver de puerta aislado mediante transformador de pulso

En esta topología de driver, un transformador de pulso actúa como un transformador de aislamiento para trabajar a alta frecuencia ($> 1\text{ MHz}$). La principal ventaja que supone su uso en drivers es que no necesita ninguna alimentación extra para el secundario, por lo que todo el aislamiento entre primario y secundario lo proporciona el propio transformador (Figura 5.4 (c)). Como contrapartida, es una solución más voluminosa que las demás y la inductancia de fugas del transformador puede provocar sobretensiones y oscilaciones en puerta [97].

El núcleo de driver con transformador presenta retardos insignificantes y aísla mayores tensiones que los drivers optoacoplados (Subsección 5.2.1.1) y núcleos con acoplamiento capacitivo (Subsección 5.2.1.3). Como contrapartida aumenta su coste y tamaño, ya que los núcleos con acoplamiento óptico y capacitivo están disponibles en encapsulados multicanal con dos, cuatro o más dispositivos con sus correspondientes señales por encapsulado, lo que ahorra espacio y coste. Los drivers basados en transformadores también pueden ser multicanal (envío de varias señales PWM en un mismo transformador) [140], pero en caso de añadir señales de estado o control (reset, falta,...) es necesario incluir circuitería adicional para pasar las señales del primario al secundario y viceversa.

Al contar con un transformador con núcleo magnético, es necesario que el voltaje medio en el devanado sea cero, ya que incluso una pequeña componente de continua puede provocar una saturación del núcleo. Para ello se suelen añadir condensadores a modo de filtro pasa altos [141].

Al no contar con un núcleo de driver que se encargue de las protecciones típicas (enclavado Miller, UVLO, DESAT...), estas tienen que ser diseñadas con elementos discretos, lo que hace que el diseño final sea mucho más voluminoso y complejo.

Existen drivers que ofrecen aislamiento mediante transformador integrado en el propio núcleo. Este transformador se realiza a partir de un circuito integrado estándar al que se le añaden capas de metal para formar bobinas de transformador separadas por un aislamiento de poliamida [142]. El driver tiene muy poca impedancia de salida, lo que permite conmutar más rápido con mayores corrientes de puerta. El CMTI de estos núcleos aislados llega hasta los $100\text{ kV}/\mu\text{s}$ [143].

5.2.1.3 Driver de puerta con aislamiento capacitivo

En los drivers con aislamiento capacitivo, la etapa de entrada y la etapa de potencia de salida están separadas por un aislamiento de dióxido de silicio (SiO_2). Este aislamiento forma una capacidad de acoplamiento entre la parte de señal y la parte de puerta del driver. El funcionamiento del núcleo consiste en un circuito de transmisión a alta frecuencia para enviar señales a través de la capacidad y un circuito receptor que acondiciona la señal a las tensiones requeridas en el lado de puerta (Figura 5.4 (d)). En principio, el mayor inconveniente de

este aislamiento es su bajo CMTI ($20\text{ kV}/\mu\text{s}$) tal y como se apunta en [144]. Sin embargo, en [145] se ensaya y demuestra que un driver capacitivo es capaz de trabajar con transitorios de $100\text{ kV}/\mu\text{s}$.

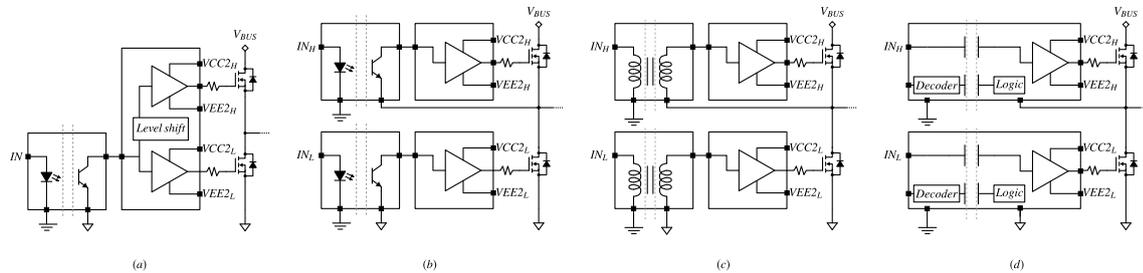


Figura 5.4: Configuraciones de aislamiento de drivers para SiC-MOSFETS: (a) Un optoacoplador para una rama, (b) dos optoacopladores para una rama, (c) con transformador y (d) capacitivo.

5.3 Protecciones

Con el fin de proteger los SiC-MOSFETs en caso de falta es conveniente que el driver presente funciones de protección. Estas funciones comprenden la protección contra cortocircuito, la protección contra una tensión excesiva entre drenador y surtidor, protección de sobretensión en la puerta, protección contra exceso de temperatura, etc.

A continuación se presentan las protecciones del SiC-MOSFET que se han implementado en el driver de puerta diseñado. Algunas de ellas están integradas dentro del propio núcleo del driver (UVLO, Miller clamp o DESAT), pero se han tenido que hacer adaptaciones para poder proteger el SiC-MOSFET, por lo que es necesaria su re-evaluación.

5.3.1 UVLO

El “Under Voltaje Look-Out” (UVLO) monitoriza la tensión positiva del driver e inhibe la salida del mismo cuando dicha tensión está por debajo de cierto valor. Esta protección evita que en conducción la tensión de saturación sea alta y así, las pérdidas de conducción sean excesivamente altas. En el caso de los SiC-MOSFETs es particularmente importante no trabajar por debajo de los 13 voltios de encendido, ya que la $R_{DS(on)}$ prácticamente se duplica, aumentando significativamente las pérdidas de conducción.

Tal y como se observa en la Tabla A.1 del Apéndice A, para la mayoría de los núcleos, la activación de la protección UVLO se da en torno a los 11 V. Por ello, se ha decidido diseñar un circuito externo auxiliar (Figura 5.5) para detectar una caída de la tensión de alimentación por debajo de los 13,9 voltios y asegurar así que el SiC-MOSFET nunca trabaje con una tensión de puerta inferior. Tal y como se puede observar, se incluye un transistor M_1 que hace

de interruptor entre V_{CC2} y V'_{CC2} . Esta tensión V'_{CC2} es la que alimenta la circuitería del lado de puerta. En caso de que la tensión de alimentación positiva, V_{CC2} , esté por debajo de esta tensión, la tensión V_{GS} del MOSFET M_1 pasa a ser nula y se interrumpe la tensión V'_{CC2} que alimenta al núcleo, protegiendo así al SiC-MOSFET.

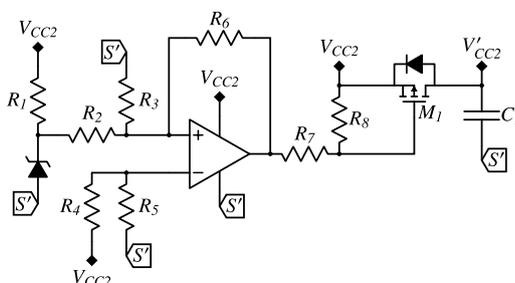


Figura 5.5: Circuito auxiliar para variar la tensión de la protección UVLO.

5.3.2 Enclavado de Miller

La protección de enclavado de Miller o *Miller clamp* asegura la tensión de puerta a tensión de apagado ($V_{GS(off)}$) cuando el dispositivo de potencia se encuentra en bloqueo. De esta forma, aumenta la inmunidad frente a dv/dt -s durante el proceso de conmutación del MOSFET complementario.

Cuando en un semipunto de un convertidor se activa alguno de los MOSFETs de la rama, se produce una dv/dt positiva entre los terminales drenador y surtidor del otro MOSFET. Esta derivada de tensión genera una corriente que circula a través de C_{GD} , R_G y C_{GS} , tal y como se observa en la Figura 5.6. Si la corriente (i_G) a través de las resistencias de puerta provoca que la tensión v_{GS} supere la tensión umbral $V_{GS(th)}$, se produce un encendido inintencionado. Si esto ocurre, se incrementan las pérdidas de conmutación y se corre el riesgo de llegar a provocar un corto en la rama.

La distribución de esas corrientes se da de la siguiente manera:

$$i_{GD} = i_{GS} + i_G \quad (5.14)$$

$$i_{GD} \approx C_{GD} \cdot \frac{dv_{DS}}{dt} \quad (5.15)$$

$$i_G = \frac{v_{GS} + V_{DRV(off)}}{(R_{G(int.)} + R_{G(ext.)} + R_{DRV(int.)})} \quad (5.16)$$

Como los valores de $V_{GS(th)}$ en un SiC-MOSFET oscilan entre valores de 1,8 a 5V, hay que

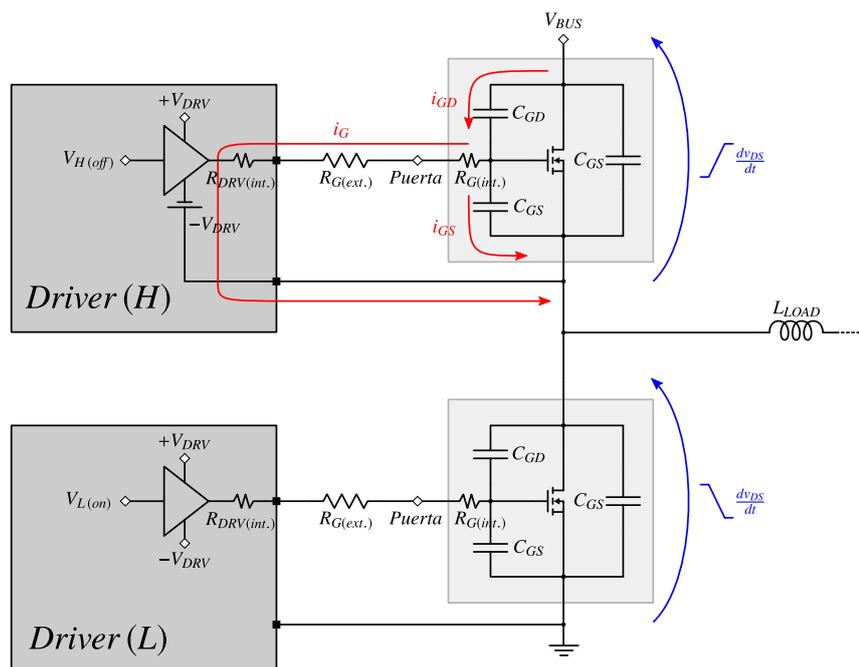


Figura 5.6: Corriente de puerta a causa de la derivada de tensión entre drenador-surtidor (Encendido Miller).

asegurar que la tensión V_{GS} sea menor que $V_{GS(th)}$ para que no ocurra un encendido inintencionado.

$$v_{GS} = V_{DRV(off)} + i_G \cdot (R_{G(int.)} + R_{G(ext.)} + R_{DRV(int.)}) < V_{GS(th)} \quad (5.17)$$

Con una alimentación bipolar del driver ($V_{DRV(-)}$) se aumenta la inmunidad frente a dv/dt del dispositivo. De todas formas, algunos núcleos incorporan un enclavado activo que está monitorizando la tensión v_{GS} durante el apagado y en caso de que supere un valor fijado aplican la tensión negativa del driver a la tensión v_{GS} , Figura 5.7.

5.3.3 Protección de cortocircuito

La protección de sobrecorriente vela porque el dispositivo no esté en un estado continuo de falta. Existen varios métodos de detección de cortocircuito, de los cuales los más comunes son: medida directa de la corriente mediante una resistencia shunt, medida indirecta de la corriente total mediante la medida de la corriente parcial a través de un senseFET (chip de MOSFET en paralelo con el módulo) y la monitorización de desaturación durante el estado de conducción [99]. Las dos primeras opciones no se suelen utilizar ya que en el primer caso la inclusión de una resistencia implica un aumento de pérdidas totales del sistema y la segunda porque actualmente existen muy pocos SiC-MOSFETs con un senseFET integrado.

La protección de desaturación consiste en un circuito que monitoriza la tensión V_{DS} tras el

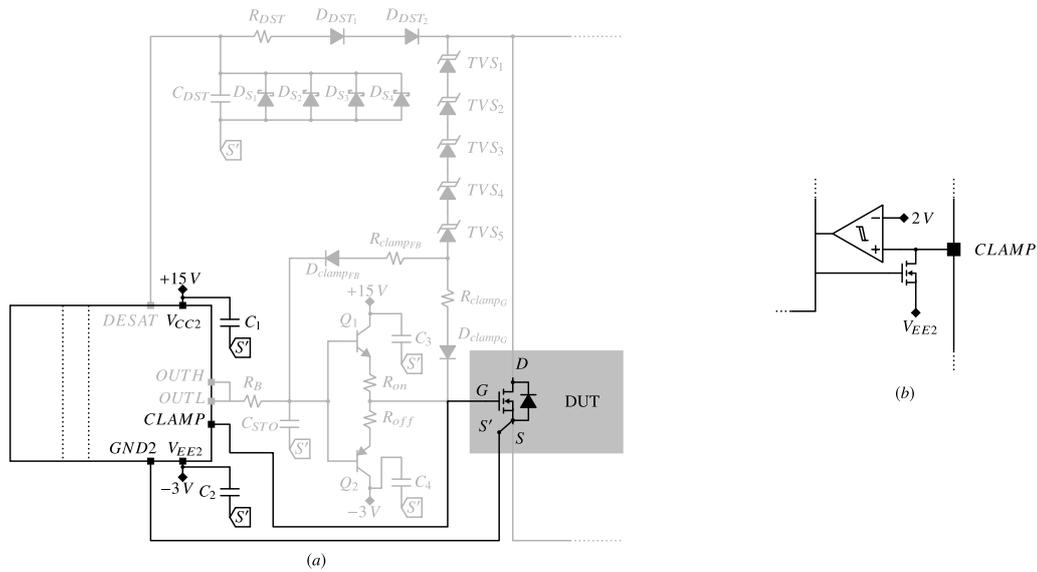


Figura 5.7: Esquemático del driver mostrando la conexión directa de la protección de Miller a la puerta del SiC-MOSFET (a) y detalle del circuito interno de la protección de Miller en el núcleo (b).

transitorio de encendido. Si la tensión V_{DS} supera un valor de referencia, el driver considera el dispositivo está fuera de la zona óhmica, por lo que se encuentra en un estado de cortocircuito.

Tras la detección del estado de desaturación, el driver procede a apagar el transistor. Si este apagado es rápido, aplicando directamente la tensión de apagado a la salida del driver y con la resistencia de puerta nominal, se imprimen sobretensiones en los terminales de drenador y surtidor fruto de las altas derivadas de corriente e inductancias parásitas del lazo de conmutación. Si estas sobretensiones superan la tensión de ruptura del dispositivo este puede fallar. Para que esto no ocurra se diseña un enclavado activo de la tensión drenador-surtidor que junto con la función de apagado suave consiga extinguir la falta sin destruir el dispositivo.

Cuando el MOSFET utilizado no tiene un diodo de cuerpo con capacidad de avalancha, como es el caso de los dispositivos evaluados, se ha de incluir en el driver de puerta la circuitería necesaria para proteger al transistor frente a sobretensiones que superen la tensión de ruptura del dispositivo. Para ello, se incluye un enclavado activo que actúa sobre el terminal de puerta en caso de que la sobretensión ($V_{DS(max)}$) supere cierto valor. La rama de realimentación consiste en uno o varios elementos TVS (*Transient Voltage Suppressor*) que determinan el umbral de actuación del circuito de protección, con un diodo conectado en serie que evita que la tensión del driver se aplique directamente sobre el terminal de drenador (Figura 5.8).

Si la tensión V_{DS} sobrepasa la tensión de avalancha de los TVS-s, circula una corriente i_Z a la puerta del SiC-MOSFET que evita que el MOSFET se siga apagando.

$$i_{DRV} = i_G + i_Z \quad (5.18)$$

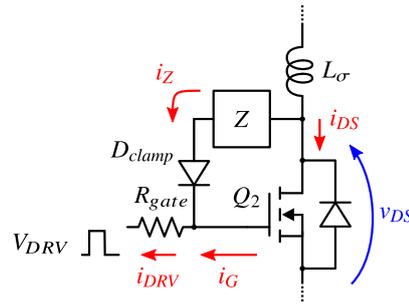


Figura 5.8: Circuito básico de enclavado activo.

Si prácticamente toda la corriente que absorbe el driver i_{DRV} es inyectada por el circuito de realimentación, i_Z , Ecuación 5.18, la corriente de puerta, i_G se reduce, y por lo tanto, al extraerse de forma más lenta las cargas de puerta se consigue que la tensión drenador-surtidor se quede enclavada mientras que la corriente drenador-surtidor se extingue.

El proceso enclavado dura mientras la energía almacenada en la inductancia parásita L_σ no se haya anulado.

$$E = i(t) \cdot v(t) \cdot t = \frac{1}{2} \cdot I_{DS} \cdot V_Z \cdot \left(\frac{L_\sigma \cdot I_{DS}}{V_Z - V_{BUS}} \right) = \frac{1}{2} I_{DS}^2 \cdot L_\sigma \cdot \left(\frac{V_Z}{V_Z - V_{BUS}} \right) \quad (5.19)$$

Cuanto mayor sea la tensión que impone el TVS en comparación con la tensión del bus de continua, más rápidamente se disipará la energía.

$$t_{CLAMP} = \frac{I_{DS}}{(V_Z - V_{BUS})} \cdot L_\sigma \quad (5.20)$$

Por lo tanto, la tensión aplicada al transistor está determinada por la característica de tensión-corriente de los elementos zener.

Este driver se utiliza en un cargador rápido en donde se utilizan módulos de SiC-MOSFETs con tensiones de ruptura de $1200V$ ya que la tensión de bus de la aplicación es de $750V$, Tabla 5.1. Para que el circuito de enclavado se eficaz, la tensión total de los TVS seleccionados debe mantenerse siempre entre ambos valores. En este punto, es importante destacar que a mayor corriente circulando por un TVS, mayor es la tensión en sus bornes debido a la resistencia dinámica que presenta su característica de salida, Tabla 5.4. Poniendo cinco dispositivos TVS en serie, los valores de codo V_{RRM} , tensión a la que comienza a circular una corriente inversa a través del elemento zener y este comienza a enclavar la tensión y V_{BR} , tensión de enclavado nominal del elemento zener, deben estar por encima de la tensión de bus, $750V$ en este caso, evitando así que entren a conducir permanentemente.

El principal problema de este circuito de protección aparece cuando la corriente del driver de puerta circula por la rama de TVS-s (Ecuación 5.18). Esta corriente puede por un lado alcanzar valores muy superiores a la corriente de pico inversa (I_{pp}) de los TVS-s lo cual puede

Tabla 5.4: Características del TVS P6SMB180AT3G

Dispositivo	V_{RWM}	$I_R@V_{RRWM}$	$V_{BR}(V)$			$@I_T$	V_C	I_{PP}	ΘV_{BR}	$C_{typ.}$
	V	uA	Min	Nom	Max	mA	V	A	%/°C	pF
P6SMB180AT3G	154	5	171	180	189	1	246	2.4	0.108	130

provocar su rotura. Por otro lado, debido al paso de corriente por la resistencia dinámica de los TVS-s, se pueden alcanzar valores de tensión superiores a los de ruptura del SiC-MOSFET y por lo tanto, no se protege este de manera efectiva. Por ello es necesario limitar la corriente que circula por el clamp para así garantizar su funcionamiento adecuado. Algunos núcleos de driver permiten el apagado suave (*Soft Turn-Off, STO*) cuando este detecta que el MOSFET opera bajo condiciones de falta. Básicamente, este apagado suave reduce la corriente de puerta en el apagado y así logra reducir las dinámicas de conmutación del MOSFET en su apagado. Este sistema ayuda además a proteger el MOSFET debido a que reduce la corriente que circula por los TVS-s y esto reduce la sobretensión provocada por la resistencia dinámica de los TVS-s.

Se pueden encontrar núcleos de driver comerciales que implementan estas protecciones bien aumentando la resistencia de apagado cuando el núcleo detecta una condición de falta [136] o bien reduciendo la tensión de puerta de forma escalonada para limitar así la corriente de puerta y reducir las dinámicas de conmutación [146]. El núcleo de driver considerado para esta aplicación (ISO5852S-Q1 [136] en Apéndice A, Tabla A.1) limita las dinámicas de conmutación aumentando la resistencia de puerta. De esta forma, en caso de falta, la corriente que absorbe el driver ISO5852sQ1 se limita a 130 mA , lo cual reduce significativamente las dinámicas de apagado del MOSFET.

Tal y como se ha descrito en la Sección 5.2, los núcleos analizados requieren de una etapa amplificadora a la salida para trabajar con los niveles de corriente de puerta requeridos por el MOSFET (Figura 5.9 (a)). En caso de falta, esta etapa de salida amplifica (β veces) la baja corriente del driver (130 mA).

$$i_G = \beta \cdot i_{DRV} \quad (5.21)$$

Esto hace que la tensión de enclavamiento resulte excesivamente alta y debido a la resistencia dinámica de los elementos zener el sistema de protección pierde eficacia.

$$V_z \approx n_z \cdot (V_{z(th)} + \beta \cdot i_{DRV} \cdot r_{z(d)}) \quad (5.22)$$

donde n_z es el número de elementos zener y $V_{z(th)}$ y $r_{z(d)}$ son la tensión umbral o codo y la resistencia dinámica respectivamente. A efectos prácticos, esta etapa seguidora de tensión reduce la resistencia aparente de salida del driver vista desde el terminal de puerta.

Para hacer efectiva la protección del MOSFET ante condiciones de falta cuando se utiliza

Luego el tiempo de apagado es:

$$t_{OFF(B)} = \frac{(V_{DRV+} + |V_{DRV-}|)}{i_{DRV}} \cdot \left(\frac{C_{iss}}{\beta} + C_B \right) \quad (5.26)$$

Uno de los problemas de incluir esta capacidad aparece en funcionamiento normal, durante los procesos de encendido y apagado. Estos, pueden verse ralentizados si esta capacidad es excesivamente alta. Es por ello, que para evitar aumentar las pérdidas de conmutación del SiC-MOSFET se hace uso de una capacidad de un 1 nF en el driver diseñado de forma que en condiciones de falta, la derivada de tensión de puerta resulta excesivamente alta. En consecuencia, la corriente de puerta cuando se apaga el MOSFET bajo condiciones de falta resulta elevada y la tensión máxima del MOSFET no se puede limitar. Por ello, para reducir más la corriente por el circuito de enclavamiento, este se conecta a la base de la etapa de salida del driver (D_{FB} y R_{FB}), Figura 5.10. De esta forma, si el clamp aporta la corriente de falta que absorbe el driver en condiciones de falta (130 mA), se anula la corriente de puerta del MOSFET haciendo que su tensión quede enclavada. Así, se hace circular una corriente muy baja por los TVS-s, y por lo tanto la sobretensión debida a la resistencia dinámica de los TVS-s queda limitada.

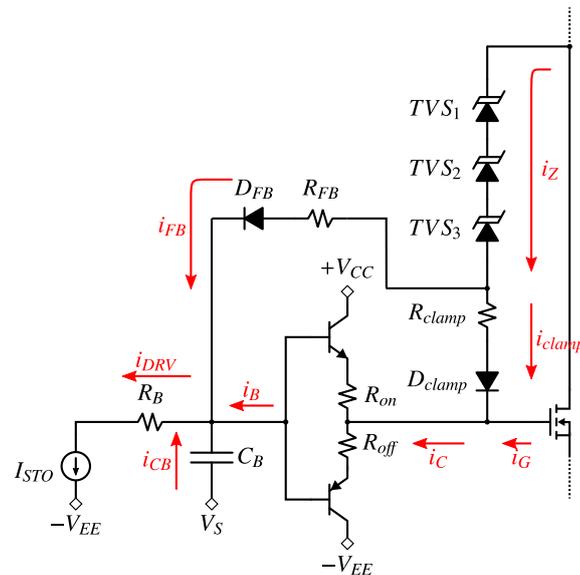


Figura 5.10: Circuito de enclavado del driver con circuito de realimentación.

5.4 Criterios de diseño de layout del driver

Dada la rapidez de conmutación de los SiC-MOSFETs, del orden de decenas de nanosegundos, las inductancias y capacitancias parásitas debidas a los componentes o al propio diseño PCB del circuito del driver pueden generar oscilaciones que repercutan en el correcto funcio-

namiento del propio driver o en interferencias por emisiones electromagnéticas (EMIs).

Por ello, se deben minimizar los bucles de alimentación, tanto del núcleo como del buffer de corriente mediante condensadores de desacoplo (en rojo en la Figura 5.11 (a)), que además de presentar poca ESL reduzcan el lazo de corriente de puerta. Además, para reducir la inductancia parásita del circuito de puerta, es importante que la pista conectada a puerta esté sobre el plano de masa por donde retorna la corriente, que es el plano de masa conectado al surtidor kelvin (en amarillo en la Figura 5.11 (a) y en el diseño PCB realizado Figura 5.11 (b)).

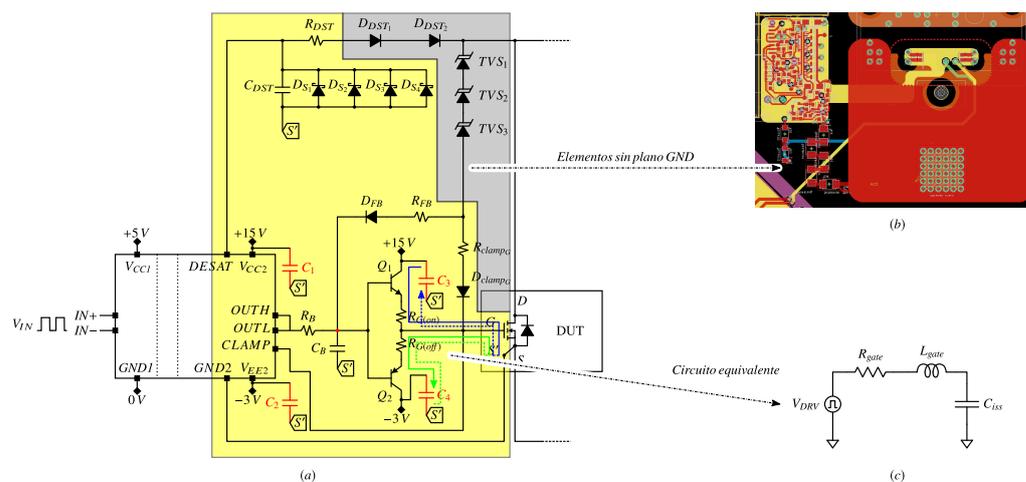


Figura 5.11: Esquemático del driver resaltando los condensadores de desacoplo en rojo y el plano de masa en amarillo y las zonas sin plano en gris (a), diseño PCB realizado con las mismas pautas (b) y circuito equivalente de puerta (c).

Reducir esta inductancia parásita (L_{gate}) ayuda a que el tanque resonante que se forma junto con la capacidad de entrada del MOSFET, C_{iss} , tenga su frecuencia de resonancia en frecuencias más elevadas (Ecuación 5.27).

$$f_{gate} = \frac{1}{2\pi \cdot (L_{gate} \cdot C_{iss})} \quad (5.27)$$

Además, evita que la caída de tensión en la inductancia de puerta (v_{Lgate}) produzca un retraso en la conmutación del dispositivo (Ecuación 5.28).

$$v_{GS(on)} = V_{DRV(on)} - v_{Rgate} - v_{Lgate} \quad (5.28)$$

A modo de ejemplo en la Figura 5.12 se muestra el circuito equivalente para el SiC-MOSFET C3M0120100K y los resultados en simulación de una inductancia parásita de 1, 10 y 100 nanohenrios. Cuanto mayor es la inductancia más se aprecia la oscilación de la tensión de puerta y también mayor retardo en la aplicación de esta tensión, lo que implica un retardo en la conmutación. Se observa también que con 100 nH se obtiene un pico de tensión cercana a

la tensión máxima de puerta del SiC-MOSFET. Si bien un valor de 100 nH resulta excesivo en un layout para un diseño de PCB no es tan descabellado en diseños de driver para módulos donde la señal de puerta se conecta a través de cable o terminales fuera del PCB [147].

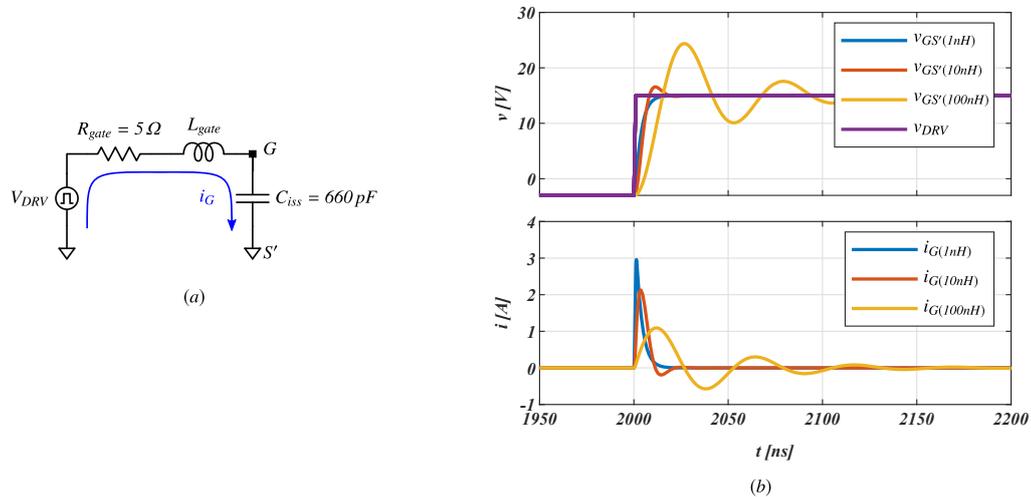


Figura 5.12: Circuito equivalente de puerta para el SiC-MOSFET C3M0120100K (a) y respuesta ante un transitorio de encendido para varios valores de inductancia parásita (b).

Por otro lado, en el layout de la protección de DESAT se debe reducir la inductancia y capacidad parásita para evitar falsas detecciones ocasionadas por oscilaciones, señales cruzadas (cross-talking) o por la dv/dt del SiC-MOSFET. Se requiere un especial cuidado para evitar el acoplamiento capacitivo de este efecto, dadas las altas dinámicas de dv/dt -s que se dan en los SiC-MOSFETs. Por ello, se recomienda mantener el área del circuito de detección libre de planos que estén conectados a las alimentaciones y GND del secundario de cada driver tal y como se muestra en la Figura 5.11 (b) y en la Figura 5.13. Para minimizar la corriente debida al acoplamiento de la dv/dt ($i_{C(dv/dt)}$), se recomienda la colocación de varios diodos D_{DST} en serie reduciendo así la capacidad parásita total, así como aumentar el valor de la resistencia R_{DST} .

5.5 Evaluación del driver propio diseñado

Tal y como se ha explicado en el Subsección 5.3.3, se ha diseñado un driver en torno al núcleo ISO5852S-Q1 de Texas Instruments [136], cuyas características se muestran en la Tabla A.1 del Apéndice A.

Este núcleo está preparado para trabajar con altas tensiones de aislamiento ($V_{iso} = 5700\text{ V}$) y presenta una inmunidad a transitorios de tensión $CMTI$ de 100 V/ns . Además, incluye protecciones de baja tensión de alimentación (UVLO), enclavamiento de Miller para mejorar la inmunidad frente a dv/dt -s, detección de corrientes de falta mediante desaturación (DESAT)

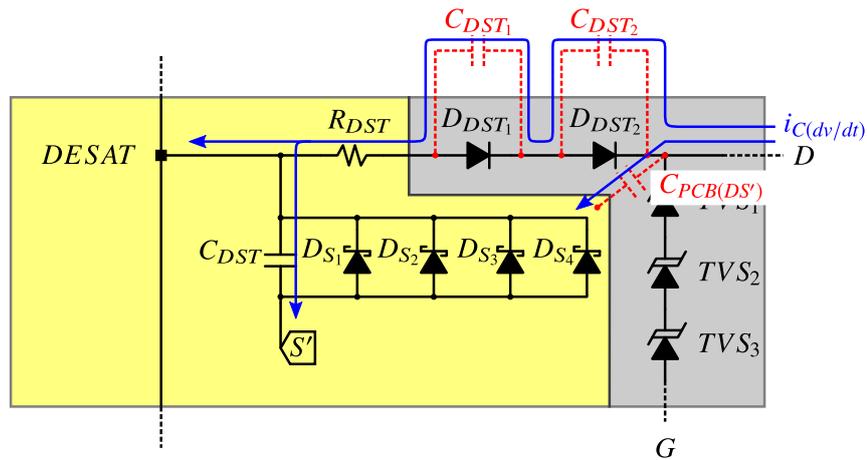


Figura 5.13: Detalle del esquemático del driver con los criterios de diseño para minimizar el acople capacitivo en la protección DESAT.

y apagado suave en condiciones de falta (STO).

Una vez desarrollado el driver (Figura 5.14), se evalúa en un primer paso su comportamiento dinámico en el capítulo Capítulo 3 y en el capítulo Capítulo 4. En un segundo paso, se evalúan las protecciones implementadas en el driver. Estas protecciones incluyen la detección de cortocircuito y enclavado de la tensión V_{DS} .

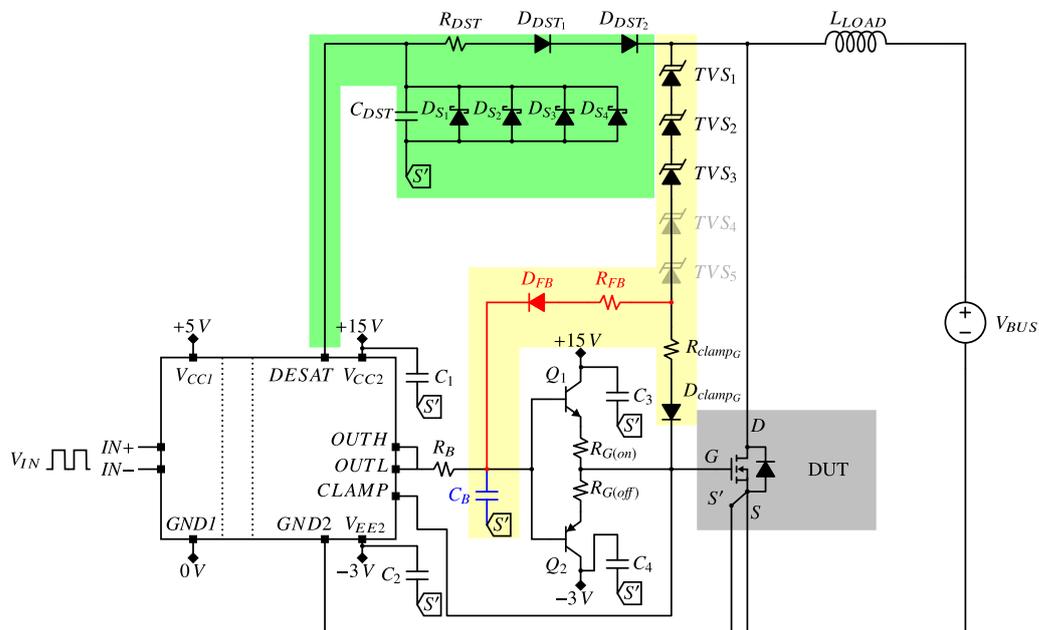


Figura 5.14: Circuito de driver completo. Subrayado en verde el circuito de DESAT y subrayado en amarillo el circuito responsable del enclavado de la tensión V_{DS} : azul con C_B y rojo con circuito de realimentación

5.5.1 Evaluación del driver en condiciones de falta

Cuando un driver recibe la orden de encendido, pasa un cierto tiempo antes de que el núcleo evalúe la tensión de saturación del transistor y detecte una falta falsa. Este tiempo se conoce como tiempo de supresión de la detección o blanking time ($t_{blanking\ time}$). El tiempo de supresión de la detección ($t_{blanking\ time}$) del núcleo ISO5852S-Q1 está determinado por la siguiente ecuación:

$$t_{blanking\ time} = t_{LEB} + t_{blanking\ capacitor\ charge} + t_{DESAT(10\%)} \quad (5.29)$$

El tiempo t_{LEB} es un retardo del propio núcleo antes de comenzar a suministrar una corriente de $500\ \mu A$ a través del pin DESAT y cuyo valor aproximado es de $400\ ns$. El tiempo $t_{DESAT(10\%)}$ por su parte determina un retardo desde la detección del valor de comparación ($V_m = 9\ V$) hasta la actuación poniendo la tensión de puerta a un valor bajo (10% de su valor de encendido) y su valor aproximado es de $415\ ns$. Ambos son valores constantes, por lo tanto, el único valor parametrizable es $t_{blanking\ capacitor\ charge}$. Este tiempo se parametriza mediante la

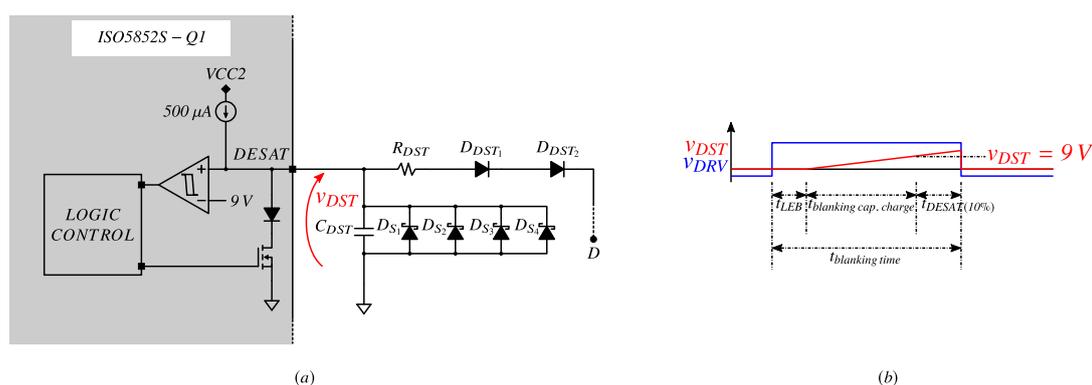


Figura 5.15: Circuito de detección de desaturación (a) y evolución de la tensión v_{DST} en caso de falta (b).

selección del valor de C_{DST} en la Figura 5.15. La hoja de características del driver ISO5852S-Q1 recomienda un condensador de $220\ pF$. Con dicho valor se obtiene un $t_{blanking\ capacitor\ charge}$ de:

$$t_{blanking\ capacitor\ charge} = \frac{C_{DST} \cdot V_m}{I_{(CHG)}} = \frac{220\ pF \cdot 9\ V}{500\ \mu A} \approx 4\ \mu s \quad (5.30)$$

Este tiempo de actuación de $4\ \mu s$, apropiado para semiconductores de silicio, no es aceptable para el módulo FF6MR12W2M1_B11 que exige una detección y extinción de la falta en $4\ \mu s$ [98]. Por ello, se ha reducido el valor de la capacidad a $45\ pF$ estableciendo así un tiempo de detección de $1660\ ns$.

Tal y como se ha mostrado en la Sección 5.4, en el diseño se han puesto dos diodos (D_{DST})

de $1200V$ de tal manera que se reduce la capacidad parásita y una resistencia (R_{DST}) de $1k\Omega$ que limita la corriente debida a la dv/dt , aumentando de esta forma la inmunidad dv/dt . Estos diodos, con una caída de tensión aproximada de $0,7V$, junto con la resistencia R_{DST} de $1k\Omega$ determinan una tensión de desaturación de:

$$V_{DS} = 9V - 500\mu A \cdot 1k\Omega - 2 \cdot V_{DST} \approx 7,3V \quad (5.31)$$

En paralelo con el condensador C_{DST} se ponen diodos schottky con una caída en conducción directa muy pequeña ($< 0,3V$) para evitar que la caída de tensión del diodo de cuerpo del SiC-MOSFET cuando este conduce en directa cargue inversamente el condensador C_{DST} y provoque una tensión negativa que supere el límite del pin DESAT del ISO5852S-Q1 ($-0,3V$). Es de hacer notar que estos diodos schottky han de presentar una capacidad inversa baja para no variar en exceso el tiempo $t_{blanking\ capacitor\ charge}$. Los diodos schottky seleccionados [148] presentan aproximadamente $1 - 2pF$ para la tensión del terminal DESAT. Estos diodos son de poca corriente directa, por lo que se ponen 4 en paralelo para aumentar su capacidad de corriente. Esto exige reducir del valor de la $C_{blanking}$ a $39pF$, ya que así la capacidad total vuelve a ser aproximadamente $45pF$.

En la Figura 5.16 se muestra el comportamiento del driver operando el SiC-MOSFET bajo condiciones de falta. Tal y como se puede ver, el driver abre el transistor en un tiempo aproximado de $1,5\mu s$. Se observa en Figura 5.16 que tras un tiempo de retardo t_{LEB} el condensador $C_{blanking}$ comienza a cargarse hasta la detección en de cortocircuito cuando se alcanzan los $9V$ ($t_{blanking\ capacitor\ charge}$). Finalmente, el tiempo total de detección y extinción de la falta se completa con el retardo $t_{DESAT(10\%)}$ desde la detección ($V_{DST} = 9V$) hasta el apagado de puerta.

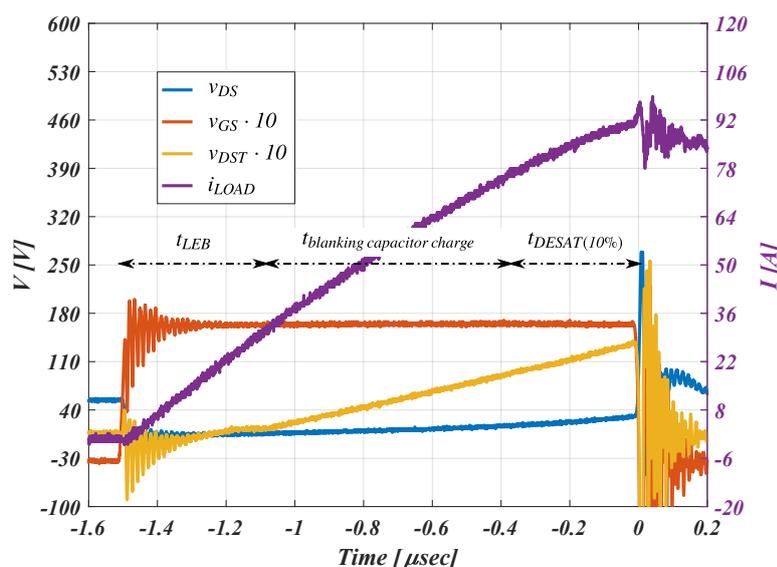


Figura 5.16: Detección de cortocircuito con del ISO5852S-Q1 y $C_{blanking} = 45pF$.

5.5.2 Evaluación del enclavado de tensión drenador-surtidor

Por último, se evalúa la protección de enclavado de tensión drenador-surtidor del driver. En esta primera prueba, se evalúa la protección con el SiC-MOSFET C3M0120100K utilizando un circuito de enclavado con tres TVS-s, que establecen una tensión de umbral de protección de 540 voltios, Tabla 5.4. El ensayo de detección de falta consiste en encender el SiC-MOSFET bajo condiciones de cortocircuito del tipo 1, es decir, con la falta existente. Así, cuando el SiC-MOSFET se activa, la corriente comienza a aumentar rápidamente debido a la baja inductancia parásita del layout. Al detectar que el SiC-MOSFET (DUT en la Figura 5.14) se encuentra en desaturación, el núcleo lo apaga y la protección zener limita la tensión drenador-surtidor a un nivel inferior al de la tensión de ruptura del MOSFET.

Tal y como se muestra en la Figura 5.17 (a), en un primer paso se evalúa el apagado del MOSFET únicamente con el amplificador de la etapa de salida. Como se puede observar, a pesar de que el núcleo del driver limite su corriente de apagado a 130 mA, la etapa de salida amplifica esta corriente y hace que el apagado se produzca con una corriente de puerta elevada. Así, el circuito de enclavamiento, presenta una alta sobretensión debida al paso de la corriente de driver por su resistencia dinámica.

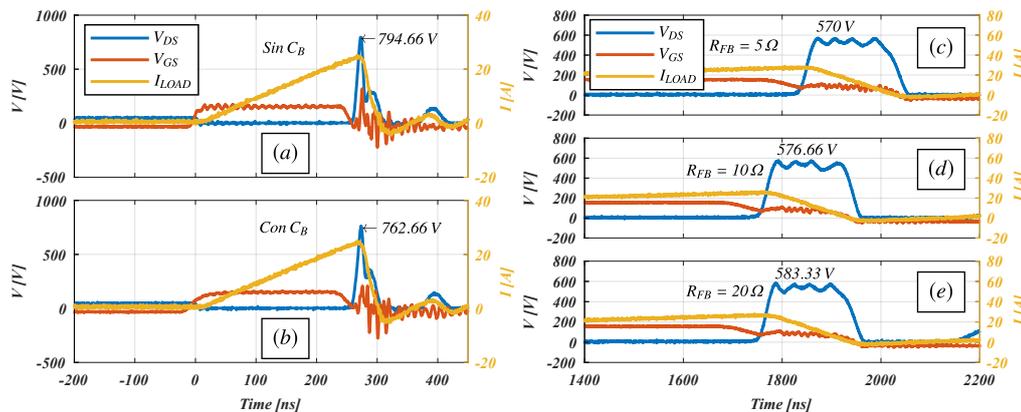


Figura 5.17: Resultados sin (a) y con (b) el condensador de base (C_B) en el circuito de driver y (c)(d)(e) resultados con diferentes valores de R_{FB} en el circuito de enclavado con realimentación.

En un segundo paso se incluye la capacidad en la base de la etapa de salida (C_B en la Figura 5.14). Con este condensador se pretende reducir la tensión de puerta del MOSFET lentamente y así limitar la corriente de puerta. A pesar de que el fabricante recomienda una capacidad de 10 nF, este valor de condensador hace que la tensión de puerta varíe de forma lenta y esto influye tanto en el retardo como en las pérdidas de conmutación. Por ello, se decide colocar una capacidad de 1 nF ya que es el valor máximo de esta capacidad que no influye ni en el retardo ni en las pérdidas de conmutación. Tal y como se muestra en la Figura 5.17 (b), se ve que este condensador influye en la tensión de enclavamiento. Sin embargo, debido a su

bajo valor, no resulta suficiente para garantizar el apagado seguro del SiC-MOSFET.

Por último, se incluye la realimentación del circuito de enclavamiento al amplificador de la etapa de salida (D_{FB} y R_{FB} en la Figura 5.14). Así se reduce la corriente por los TVS-s y se limita la máxima tensión a un valor más próximo al establecido por los TVS-s. El circuito de realimentación se evalúa con tres valores de R_{FB} (5, 10 y 20 Ω) hacia la base de los transistores de la etapa de salida. Se puede observar en la Figura 5.17 (c), (d) y (e) cómo, a menor resistencia de realimentación menor es la tensión de enclavamiento debido a que más corriente se desvía a la etapa amplificadora. Es de notar, que la capacidad C_B de 1 nF, ayuda a estabilizar el lazo de realimentación tal y como se puede observar en la Figura 5.18 y por lo tanto, su presencia resulta recomendable.

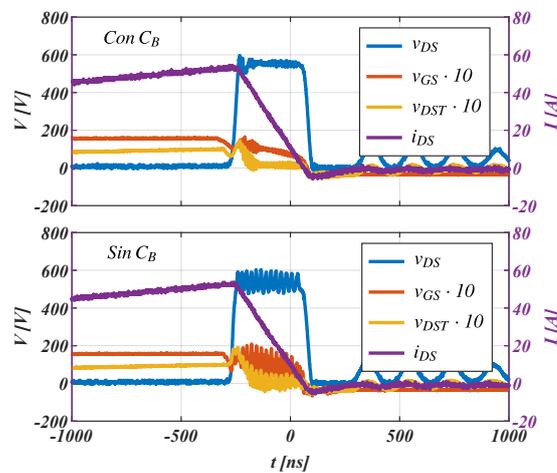


Figura 5.18: Resultados con y sin el condensador de base (C_B) en el circuito de driver con el circuito de enclavado con realimentación.

5.6 Resumen del diseño del driver

En este capítulo se han presentado y evaluado los principales criterios de diseño para un driver de SiC-MOSFET que se recogen en la Tabla 5.5.

Tabla 5.5: Resumen de los criterios adoptados en el diseño del driver SiC-MOSFET.

Parámetro	Variable	Valor	Elemento de diseño	Criterio
Tensiones de puerta	$V_{GS(on)}$	15 V	Núcleo de driver ISO5852S-Q1	<ul style="list-style-type: none"> • $R_{DS(on)}$ baja. • Reduce degradación SiO_2. • Reduce corriente máxima de cortocircuito. • Asegura inmunidad frente a dv/dt-s.
	$V_{GS(off)}$	-3 V	Fuente aislada R24P21503D	
Corrientes de puerta	$I_{G(on)max}$	10 A	BJT TOTEM-POLE ECH8501	<ul style="list-style-type: none"> • Frecuencia de operación • Tiempo reducido de subida y bajada • Tiempo de almacenamiento • Linealidad tensión entrada/salida • Capacidad pulso de corriente • Huella encapsulado
	$I_{G(off)max}$	-10 A		
Potencia del driver	$P_{T(DRV)}$	2 W	Fuente aislada R24P21503D BJT TOTEM-POLE ECH8501	<ul style="list-style-type: none"> • Potencia > 600 mW.
Aislamiento control/potencia	$V_{iso(min)max}$	6400 V _{DC}	Núcleo de driver ISO5852S-Q1 Fuente aislada R24P21503D	<ul style="list-style-type: none"> • Superar 3750 V_{rms} para diseños de 891 V_{DC} según [138].
Inmunidad frente a dv/dt -s (circuito de control)	CMTI(min)		Núcleo de driver ISO5852S-Q1	<ul style="list-style-type: none"> • Superar 35 V/ns, máxima dv/dt del módulo [98]. • Capacidad máxima de aislamiento 10 pF.
	$C_{iso(min)max}$		Fuente aislada R24P21503D	
Protección frente a pérdidas excesivas de conducción	UVLO	13,9 V	Circuito ad-hoc	<ul style="list-style-type: none"> • Evitar trabajar con tensiones de puerta que aumenten la $R_{DS(on)}$.
Inmunidad frente a dv/dt -s (circuito de puerta) - Miller Clamp	Vdetec(max)	2,5 V	Núcleo de driver ISO5852S-Q1	<ul style="list-style-type: none"> • Evitar crosstalk entre SiC-MOSFETs del mismo semipunto. • Evitar encendidos inintencionados por dv/dt.
	Vclamp(min)	-2,92 V		
Protección frente a sobrecorrientes	t_{sc}	<2 μ s	Núcleo de driver ISO5852S-Q1 Circuito DESAT	<ul style="list-style-type: none"> • Extinción de la falta en menos de 2 μs para el módulo [98]. • 900 V de diseño para que la tolerancia y la resistencia dinámica de los TVS no hagan superar la tensión máxima de ruptura del SiC-MOSFET (1200 V). • Para reducir la influencia de la resistencia dinámica de los TVS.
	$V_{DS(max)}$	540 V	3 · 180 V TVS	
		900 V	5 · 180 V TVS	
	I_{STO}	130 mA	Núcleo de driver ISO5852S-Q1. Condensador de base totem-pole. Circuito de realimentación a base del totem-pole.	

5.7 Conclusiones

El diseño del driver que gobierna la conmutación del SiC-MOSFET no es trivial. Si bien existen núcleos de driver expresamente diseñados para trabajar con estos dispositivos, sus características han de ser evaluadas y en algunos casos modificadas. Tal y como se ha descrito a lo largo de este capítulo, se han utilizado y adecuado las protecciones propias del núcleo ISO5852S-Q1. Así, se ha adecuado el nivel de la protección UVLO a una tensión de 13,4 V para evitar que el módulo trabaje con excesivas pérdidas de conducción. También se ha diseñado y evaluado el circuito de detección y extinción de faltas en un tiempo menor a 2 μ s. Mediante la protección de DESAT, la selección de los dispositivos TVS-s y un circuito de enclavamiento activo se ha conseguido extinguir dicha sobrecorriente enclavando la sobretensión en bornes de drenador y surtidor a un valor seguro.

Este diseño de driver vuelve a ser completamente evaluado gobernando los módulos FF6-MR12W2M1_B11 a una tensión de bus de 850 V junto con el resto del layout de la aplicación

final en el Capítulo 6.

Capítulo 6

Diseño de un cargador de vehículos eléctricos de 100 kW basado en módulos SiC-MOSFET

Tal y como se ha remarcado en el Capítulo 1, existen varias aplicaciones donde el uso de semiconductores de carburo de silicio ofrece beneficios significativos. Una de estas aplicaciones son los cargadores rápidos para vehículos eléctricos en donde se pueden reducir significativamente tanto el peso como el volumen del equipo manteniendo niveles elevados de eficiencia.

La aceptación de los vehículos eléctricos pasa por alcanzar niveles de autonomía comparables a los de vehículos de combustión interna. La gran mayoría de vehículos puramente eléctricos disponibles comercialmente ofrecen autonomías de alrededor de 200 km y, a diferencia de los de combustión interna, no se pueden cargar completamente en pocos minutos. La mayoría de los vehículos eléctricos incorporan un cargador embarcado para tomas de corriente alterna monofásica doméstica, lo que permite cargar el vehículo de forma lenta (5 – 8 horas). Pero para cargas más rápidas son necesarios cargadores de potencias mayores que por espacio, refrigeración y peso no pueden ir embarcados [149].

Estos cargadores rápidos permiten realizar una carga completa en tiempos inferiores a 10 minutos [150] [149]. Están conectados a una red trifásica cuya entrada se encuentra entre los 300 y los 400 V de tensión alterna, que se rectifican mediante un rectificador (AC/DC) y cuya tensión de salida final se adapta a los requerimientos de tensión de la batería del vehículo mediante otra etapa DC/DC, Figura 6.1.

El rectificador AC/DC más sencillo es un rectificador de diodos Figura 6.1 (a). Esta solución establece una tensión de salida dependiente de la tensión de la red trifásica. La calidad de la corriente de red con este rectificador presenta un contenido armónico (THD, Total Harmonic Distortion) elevado lo cual exige el uso de filtros voluminosos en el lado de red. El uso de un rectificador activo, Active Front End (AFE), Figura 6.1 (b), mejora la calidad de onda de la corriente de red (requerimientos de filtrado menores) mientras que la tensión del bus intermedio de continua se

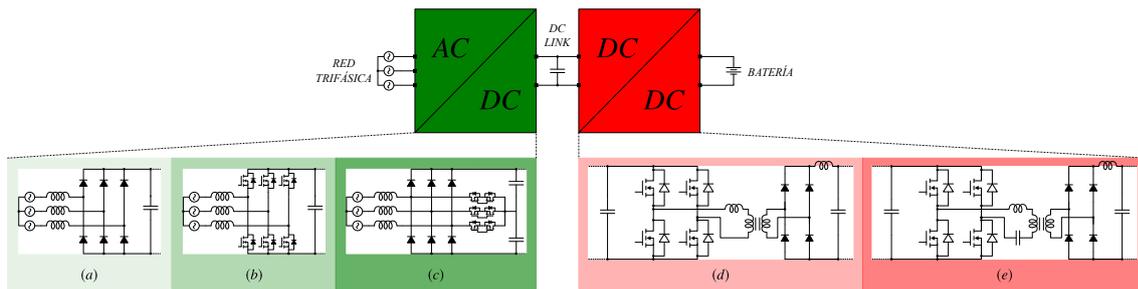


Figura 6.1: Arquitectura típica de cargadores eléctricos, con etapa AC/DC con topología (a) rectificador de diodos, (b) AFE, (c) Viena y etapa DC/DC con topología (d) PSFB y (e) resonante LLC.

puede controlar independientemente de la tensión de red. Evidentemente, el uso de interruptores controlados exige control y drivers de puerta para su gobierno, lo cual hace a esta solución más compleja que la solución del rectificador a diodos. Por último, el rectificador Viena (Figura 6.1 (c)) es un rectificador trifásico de tres niveles que requiere solo de tres interruptores activos. La tensión de salida es controlable incluso en el caso de una red eléctrica desequilibrada o en la que se sufre la pérdida de una fase [149].

La etapa de conversión DC/DC además de acondicionar la tensión del bus DC intermedio a los requerimientos de la carga, ofrece el aislamiento galvánico requerido por la aplicación. Es común, que el transformador utilizado para ofrecer el aislamiento tenga un volumen y peso considerable dentro del convertidor. Para reducir el volumen de este transformador, se trabaja con frecuencias de conmutación altas (> 50 kHz), lo cual trae consigo un incremento de pérdidas de conmutación. Por esta razón, para este tipo de aplicaciones resultan atractivos los convertidores de conmutación dulce como los convertidores Phase-Shifted Full-Bridge (PSFB), Figura 6.1 (d), o convertidores resonantes, Figura 6.1 (e). En los convertidores resonantes, la regulación de la tensión de salida se realiza variando la frecuencia de conmutación. Excitando el tanque a diferentes frecuencias se logra modificar la tensión de salida. Sin embargo, en función de la carga conectada al convertidor la respuesta del tanque resonante cambia y por lo tanto la controlabilidad de la tensión de salida puede resultar compleja. El convertidor PSFB sintetiza una tensión de onda cuadrada desfasada entre sus dos ramas. Esto permite la operación con encendido suave (corriente nula) de forma que las pérdidas de conmutación se reducen respecto a un convertidor de conmutación dura. A su vez, la tensión de salida se puede controlar independientemente de la carga conectada y es por ello que es esta topología la utilizada para el cargador rápido [151].

En este capítulo se describe el análisis, la fase de diseño y la validación experimental en colaboración con la empresa Ingeteam de un cargador de 100 kW alimentado mediante la red trifásica. En este proceso se aplican y validan los conocimientos desarrollados a lo largo de todo el trabajo de investigación referentes al layout, medidas, drivers, etc.

Este cargador rápido se compone de un rectificador activo binivel que rectifica la tensión de

red a un bus intermedio de 750V mientras que un convertidor PSFB adapta esta tensión de bus intermedia a los requerimientos de tensión de las baterías. Se han seleccionado estos dos convertidores ya que el diseño para ambos es muy similar; teniendo el convertidor AFE Figura 6.2 (a) una rama más que el convertidor PSFB Figura 6.2 (b). Si se dimensiona para el caso más restrictivo entre ambos convertidores se pueden utilizar los mismos semiconductores (SiC-MOSFETs), drivers y diseño PCB. De esta manera se simplifica su fabricabilidad y facilita su escalado, ya que con diseños simétricos se puede utilizar la misma refrigeración para todos los SiC-MOSFETs.

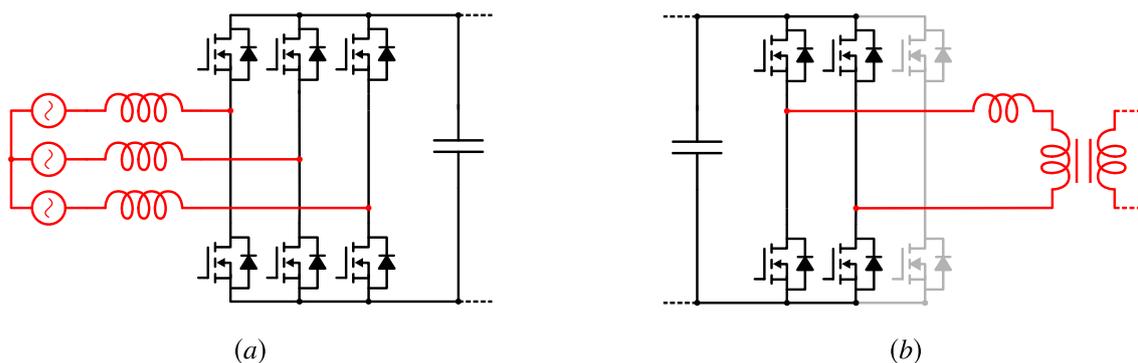


Figura 6.2: Similitudes entre los diseños AFE (a) y PSFB (b).

6.1 Análisis de los convertidores AFE y PSFB

En esta sección se analizan las topologías de los convertidores seleccionados para realizar el cargador, el convertidor AFE para rectificar la tensión de red y el convertidor PSFB para adecuar la tensión de salida a los requerimientos de la batería. Se analizan primeramente las topologías y sus necesidades para después evaluar su impacto en la selección de componentes y en el diseño final del convertidor.

6.1.1 Convertidor AFE

La topología del convertidor binivel *Active Front End* (AFE) se muestra en la Figura 6.3. Se trata de un convertidor de dos niveles que puede operar como rectificador activo, como en este caso, donde trabaja como etapa intermedia entre la red y el convertidor PSFB. Su cometido principal es rectificar de forma controlada la tensión de red consumiendo una corriente alterna en fase a esta tensión. De esta forma se garantiza un comportamiento prácticamente resistivo, sin consumo de potencia reactiva, e independiente del tipo de carga que suponga el convertidor DC/DC conectado al AFE.

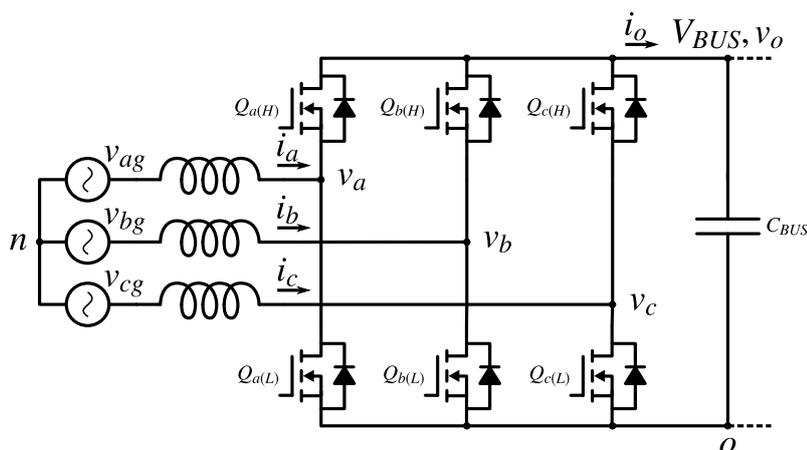


Figura 6.3: Topología del convertidor AFE.

Para el análisis de la topología se considera que el bus de salida es ideal y se mantiene constante en todo momento. Se definen las órdenes de conmutación de los MOSFETs complementarios ($Q_{x(H)}$ y $Q_{x(L)}$ de una misma rama) como S_x . Cuando $S_x = 1$ el MOSFET $Q_{x(H)}$ tiene orden de encendido mientras que $Q_{x(L)}$ tiene orden de apagado y viceversa, el MOSFET $Q_{x(L)}$ tiene orden de encendido mientras que $Q_{x(H)}$ tiene orden de apagado cuando $S_x = 0$.

Centrando el análisis en una sola rama, la tensión en el punto medio entre ambos MOSFETs con respecto al cero del bus DC del convertidor es:

$$v_{ao} = S_a \cdot V_{BUS} \quad (6.1)$$

Siendo la misma expresión para las dos fases restantes:

$$v_{bo} = S_b \cdot V_{BUS} \quad (6.2)$$

$$v_{co} = S_c \cdot V_{BUS} \quad (6.3)$$

Considerando que la red trifásica es equilibrada, la suma de las tensiones de salida respecto al punto neutro de la red n es nula:

$$v_{an} + v_{bn} + v_{cn} = 0 \quad (6.4)$$

Por lo tanto, cada tensión de rama con respecto al neutro de la carga es:

$$v_{an} = v_{ao} - v_{no} \quad (6.5)$$

$$v_{bn} = v_{bo} - v_{no} \quad (6.6)$$

$$v_{cn} = v_{co} - v_{no} \quad (6.7)$$

De donde se deduce que:

$$v_{an} + v_{bn} + v_{cn} = v_{ao} + v_{bo} + v_{co} - 3 \cdot v_{no} \quad (6.8)$$

y sustituyendo la Ecuación 6.4 en la Ecuación 6.8:

$$v_{no} = \frac{1}{3} \cdot (v_{ao} + v_{bo} + v_{co}) \quad (6.9)$$

A partir de estas expresiones se deducen las tensiones de salida con respecto al neutro de la carga para el convertidor:

$$v_{an} = v_{ao} - \frac{v_{ao} + v_{bo} + v_{co}}{3} = \frac{2}{3} \cdot v_{ao} - \frac{1}{3} \cdot \frac{(v_{bo} + v_{co})}{3} \quad (6.10)$$

$$v_{bn} = v_{bo} - \frac{v_{ao} + v_{bo} + v_{co}}{3} = \frac{2}{3} \cdot v_{bo} - \frac{1}{3} \cdot \frac{(v_{ao} + v_{co})}{3} \quad (6.11)$$

$$v_{cn} = v_{co} - \frac{v_{ao} + v_{bo} + v_{co}}{3} = \frac{2}{3} \cdot v_{co} - \frac{1}{3} \cdot \frac{(v_{ao} + v_{bo})}{3} \quad (6.12)$$

Sustituyendo la Ecuación 6.1 en la Ecuación 6.10 obtenemos la tensión respecto al neutro para el convertidor binivel:

$$v_{an} = \frac{V_{BUS}}{3} \cdot (2 \cdot S_a - S_b - S_c) \quad (6.13)$$

Y lo mismo ocurre para las otras dos ramas:

$$v_{bn} = \frac{V_{BUS}}{3} \cdot (2 \cdot S_b - S_a - S_c) \quad (6.14)$$

$$v_{cn} = \frac{V_{BUS}}{3} \cdot (2 \cdot S_c - S_b - S_a) \quad (6.15)$$

Estas ecuaciones describen el funcionamiento del convertidor desde el punto de vista de la red, considerando que la tensión del condensador de bus se mantiene constante en todo momento. Al ser un sistema trifásico equilibrado se puede realizar un análisis dividiéndolo en sistemas monofásicos. En la Figura 6.4 (a) se puede modelo de la fase *a*:

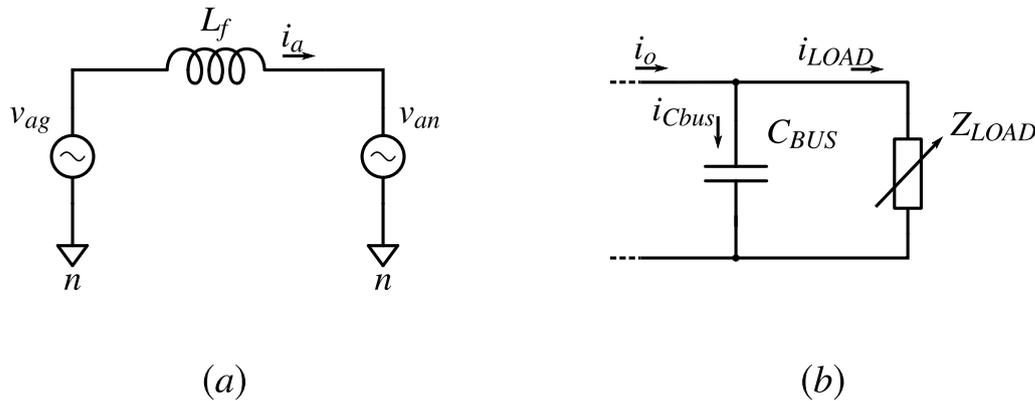


Figura 6.4: (a) Sistema equivalente de la conexión *a* del convertidor AFE entre red y convertidor y (b) modelo del condensador de BUS y carga para el convertidor AFE.

Analizando una sola rama con el filtro de entrada tenemos:

$$v_{an} = L_f \cdot \frac{di_a}{dt} + v_{ag} \quad (6.16)$$

Siendo el mismo análisis válido para sus otras dos ramas:

$$v_{bn} = L_f \cdot \frac{di_b}{dt} + v_{bg} \quad (6.17)$$

$$v_{cn} = L_f \cdot \frac{di_c}{dt} + v_{cg} \quad (6.18)$$

Tomando los MOSFETs como interruptores ideales la potencia instantánea entregada por el convertidor es la suma de las potencias entregadas por cada una de sus ramas.

$$v_o \cdot i_o = v_a \cdot i_a + v_b \cdot i_b + v_c \cdot i_c \quad (6.19)$$

donde:

$$v_{ag} = \sqrt{2} \cdot V_{rms} \cdot \cos(\omega \cdot t) \quad (6.20)$$

$$i_a = \sqrt{2} \cdot I_{rms} \cdot \cos(\omega \cdot t - \varphi) \quad (6.21)$$

$$v_{bg} = \sqrt{2} \cdot V_{rms} \cdot \cos(\omega \cdot t - 120^\circ) \quad (6.22)$$

$$i_b = \sqrt{2} \cdot I_{rms} \cdot \cos(\omega \cdot t - 120^\circ - \varphi) \quad (6.23)$$

$$v_{cg} = \sqrt{2} \cdot V_{rms} \cdot \cos(\omega \cdot t - 240^\circ) \quad (6.24)$$

$$i_c = \sqrt{2} \cdot I_{rms} \cdot \cos(\omega \cdot t - 240^\circ - \varphi) \quad (6.25)$$

Sustituyendo en la Ecuación 6.19 y simplificando mediante propiedades geométricas se obtiene:

$$v_o i_o = 3 \cdot V_{rms} \cdot I_{rms} \cdot \cos \varphi \quad (6.26)$$

Lo que implica que la potencia entregada no es dependiente de la pulsación de la red e idealmente no es necesario un condensador de salida para filtrar dicha frecuencia. Sí que es necesario un condensador para filtrar la frecuencia de conmutación, pero al ser ésta mucho mayor que la frecuencia de red el condensador resultante es mucho menor. Se modela el bus DC para analizar el convertidor AFE a diferentes potencias de carga, Figura 6.4 (b).

De donde se obtiene:

$$V_{BUS} = \frac{1}{C_{BUS}} \cdot \int i_{Cbus} \cdot dt \quad (6.27)$$

$$i_{Cbus} = i_{LOAD} - i_o \quad (6.28)$$

$$i_o = S_a \cdot i_a + S_b \cdot i_b + S_c \cdot i_c \quad (6.29)$$

$$i_o = S_a \cdot i_a + S_b \cdot i_b + S_c \cdot i_c \quad (6.30)$$

$$i_{LOAD} = V_{BUS} / Z_{LOAD} \quad (6.31)$$

De esta manera se han modelado el convertidor, el filtro de entrada y el condensador de bus.

6.1.2 Convertidor PSFB

El convertidor Phase-Shifted Full-Bridge (PSFB) es un convertidor DC/DC reductor unidireccional [152]. La etapa de entrada de este convertidor se compone de un condensador de bus (C_{BUS}) y un puente en H (transistores Q_1 a Q_4). Este puente H está conectado al primario de un transformador de media/alta frecuencia que permite aislar galvánicamente las etapas de entrada y salida mientras acondiciona los niveles de tensión a los requerimientos de salida. En el secundario (o secundarios del transformador) se disponen los diodos rectificadores, así como un filtro LC para rebajar los rizados de corriente y tensión, Figura 6.5 (a).

Los interruptores de una rama operan de forma complementaria con un ciclo de trabajo del 50%, Figura 6.5 (b). La tensión de onda cuadrada que sintetizan ambas ramas se desfasan (por un tiempo t_{off}) para controlar la tensión fundamental aplicada al primario del transformador

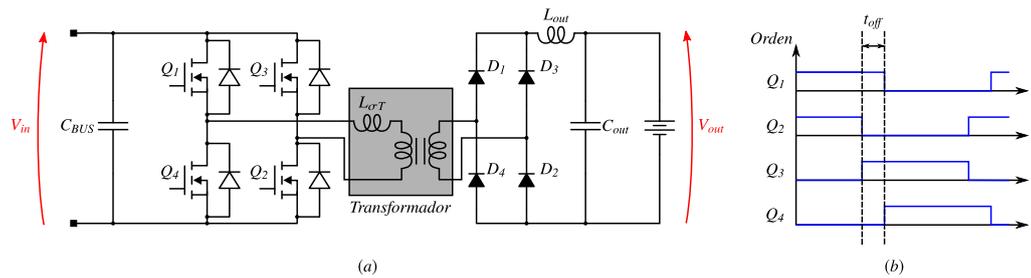


Figura 6.5: Esquemático del convertidor PSFB (a) y órdenes de control a sus transistores (b).

y de este modo, la tensión de salida.

Para controlar el puente en H se generan cuatro señales cuadradas de gobierno de los transistores, Figura 6.5 (b). En todas ellas el tiempo de encendido y apagado es el mismo, la mitad del periodo para el tiempo de encendido y la otra mitad del periodo para el tiempo de apagado. La particularidad de este convertidor es que Q_1 y Q_2 no se encienden y apagan a la vez, tienen un desfase de tiempo, t_{off} . Lo mismo pasa con Q_3 y Q_4 , con el mismo desfase t_{off} , lo cual hace que las órdenes a Q_1 y Q_4 por un lado, y a Q_2 y Q_3 por otro sean complementarias.

Los diferentes estados de conmutación del convertidor se muestran en la Figura 6.6. Cuando Q_1 y Q_2 están encendidos y Q_3 y Q_4 están apagados, se aplica la tensión de bus a los devanados del primario del transformador. Así, se almacena parte de la energía que viene de bus en la inductancia de fugas del transformador $L_{\sigma T}$ y a su vez se transfiere energía a la salida del convertidor, Figura 6.6 (a). Cuando se apaga Q_2 mientras Q_3 sigue encendido, Figura 6.6 (b), la energía proveniente de la entrada se almacena en C_{BUS} y se aplica una tensión nula al primario del transformador, por lo tanto, la energía a la carga la suministran las inductancias $L_{\sigma T}$ y L_{out} . Seguidamente, se apaga Q_1 y se enciende Q_4 , Figura 6.6 (c), con lo que se invierte la polaridad de la tensión aplicada al primario. En este transitorio la corriente por la inductancia de fugas del transformador $L_{\sigma T}$ invierte su polaridad y como consecuencia de ello, los diodos rectificadores de salida conmutan su estado de conducción. Una vez invertida la corriente en la inductancia de fugas del transformador, Figura 6.6 (d), los transistores Q_3 y Q_4 transfieren energía proveniente de la entrada y de C_{BUS} a $L_{\sigma T}$, L_{out} y a la salida. Seguidamente, se apaga Q_3 y se enciende Q_2 , Figura 6.6 (e), por lo que C_{BUS} almacena energía proveniente de la entrada mientras que las inductancias $L_{\sigma T}$ y L_{out} suministran la energía a la salida. Durante este intervalo de tiempo la tensión aplicada al primario del transformador es nula. Finalmente, se apaga Q_4 y se enciende Q_1 , Figura 6.6 (f), manteniendo la corriente negativa a través de la inductancia $L_{\sigma T}$ mientras se le aplica la tensión de entrada. La corriente circula a través de los diodos volantes de Q_1 y Q_2 , haciendo que la energía que carga el condensador C_{BUS} durante este intervalo provenga tanto de la entrada como de la energía almacenada en $L_{\sigma T}$. La energía de salida la suministra L_{out} en este caso.

Para evitar la saturación del núcleo del transformador es obligatorio aplicar una tensión

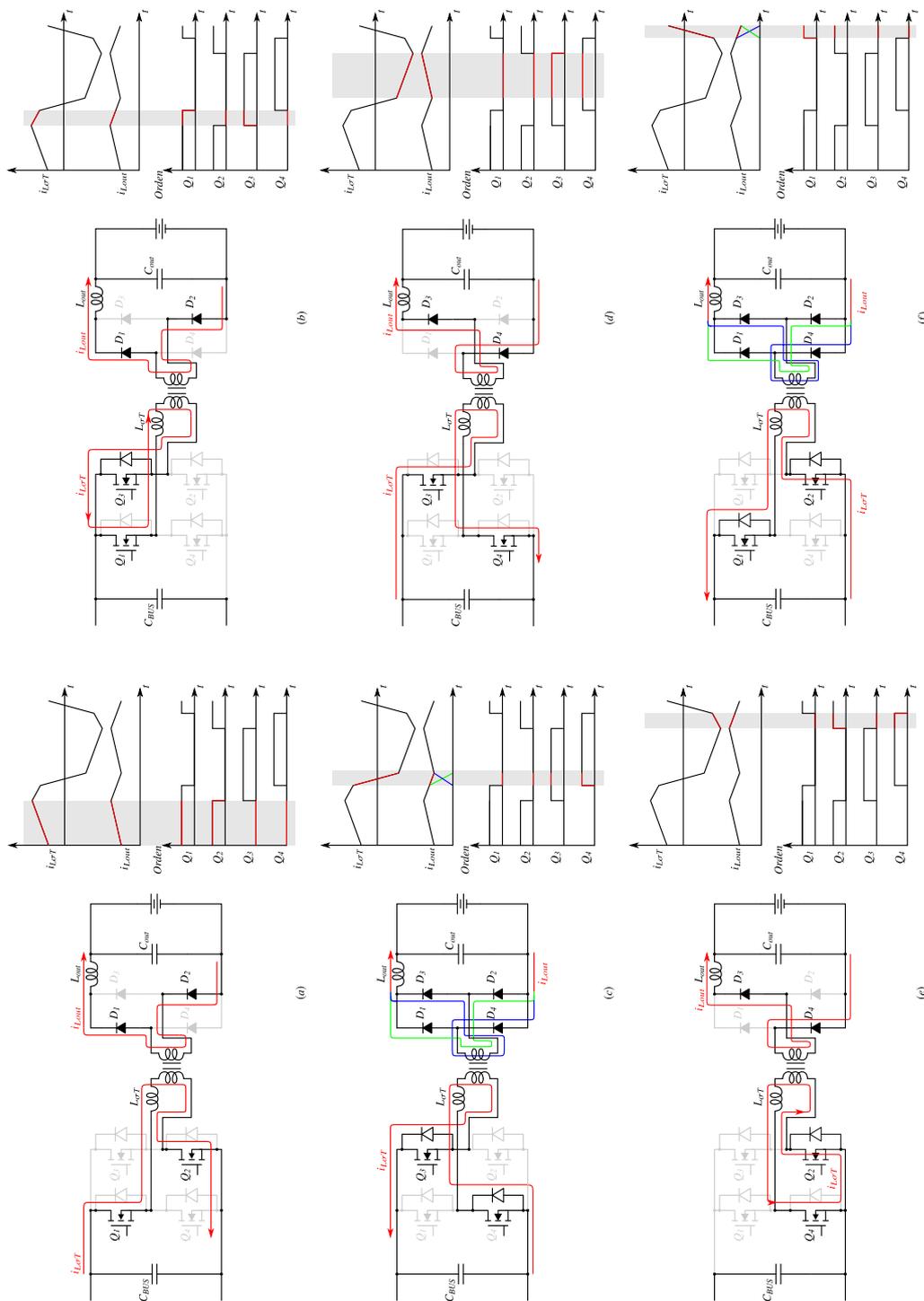


Figura 6.6: Estados de conducción del convertidor PSFB.

media nula en el primario del transformador. A pesar de ello, es común que el fabricante del transformador introduzca ranuras de aire en el núcleo para que así pueda tolerar cierto nivel de offset en el primario.

En los intervalos en los que se aplica tensión nula al primario del transformador (Figura 6.6 (b) y (e)), la inductancia $L_{\sigma T}$ referida al secundario está en serie con L_{out} . Por lo tanto, parte de la tensión de salida cae en la inductancia $L_{\sigma T}$ (intervalos T_{off} en la Figura 6.7). El valor de tensión y corriente en $L_{\sigma T}$ durante este intervalo (T_{off}) es:

$$V_S = \frac{L_{\sigma T} \cdot \frac{n_2}{n_1} \cdot V_{out}}{L_{\sigma T} \cdot \left(\frac{n_2}{n_1}\right)^2 + L_{out}} \quad (6.32)$$

$$I_S = \frac{n_2}{n_1} \cdot \left(I_{out} + \Delta i_{L_{out}} - \frac{V_S \cdot T_{off}}{L_{\sigma T} \cdot \frac{n_2}{n_1}} \right) \quad (6.33)$$

donde V_{out} y I_{out} son la tensión y corriente medias de salida, n_2/n_1 es la relación de transformación del transformador, $\Delta i_{L_{out}}$ es el rizado de corriente en la inductancia de salida. Como se puede observar en la Figura 6.7 las órdenes de encendido (T_{on}) y apagado (T_{off}) de los transistores no coinciden con los tiempos de transferencia de energía de entrada a la salida (t_{on}) y tiempos de transferencia de energía almacenada en las inductancias a la salida (t_{off}). Es por ello que se define el ciclo de trabajo eficaz, que siendo menor que el ciclo de trabajo de los transistores, define el tiempo en el que el convertidor transfiere energía a la salida:

$$\delta_{eff} = \frac{t_{on}}{T_{sw}} = \delta - L_{\sigma T} \cdot \left(\frac{2 \cdot I_{out}}{V_{in} \cdot T_{sw}} \cdot \frac{n_2}{n_1} \right) \quad (6.34)$$

donde T_{sw} es el periodo de conmutación y δ es el ciclo de trabajo (duty-cycle) del convertidor. La tensión de salida del convertidor en función de este ciclo de trabajo queda definido como:

$$V_{out} = 2 \cdot V_{in} \cdot \delta_{eff} \cdot \frac{n_2}{n_1} \quad (6.35)$$

Para una primera estimación de los valores de los elementos pasivos (C_{BUS} , $L_{\sigma T}$, L_{out} , C_{out}) se asume una operación ideal sin pérdidas:

$$V_{in} \cdot I_{in} = V_{out} \cdot I_{out} \quad (6.36)$$

Sustituyendo la Ecuación 6.35 en la Ecuación 6.36:

$$I_{out} = \frac{I_{in}}{2 \cdot \delta_{eff}} \cdot \frac{n_1}{n_2} \quad (6.37)$$

El valor de $L_{\sigma T}$ se obtiene de la ecuación Ecuación 6.32:

$$L_{\sigma T} = \frac{L_{out}}{\left(\frac{V_{out}}{V_S}\right) - \left(\frac{n_2}{n_1}\right)^2} \quad (6.38)$$

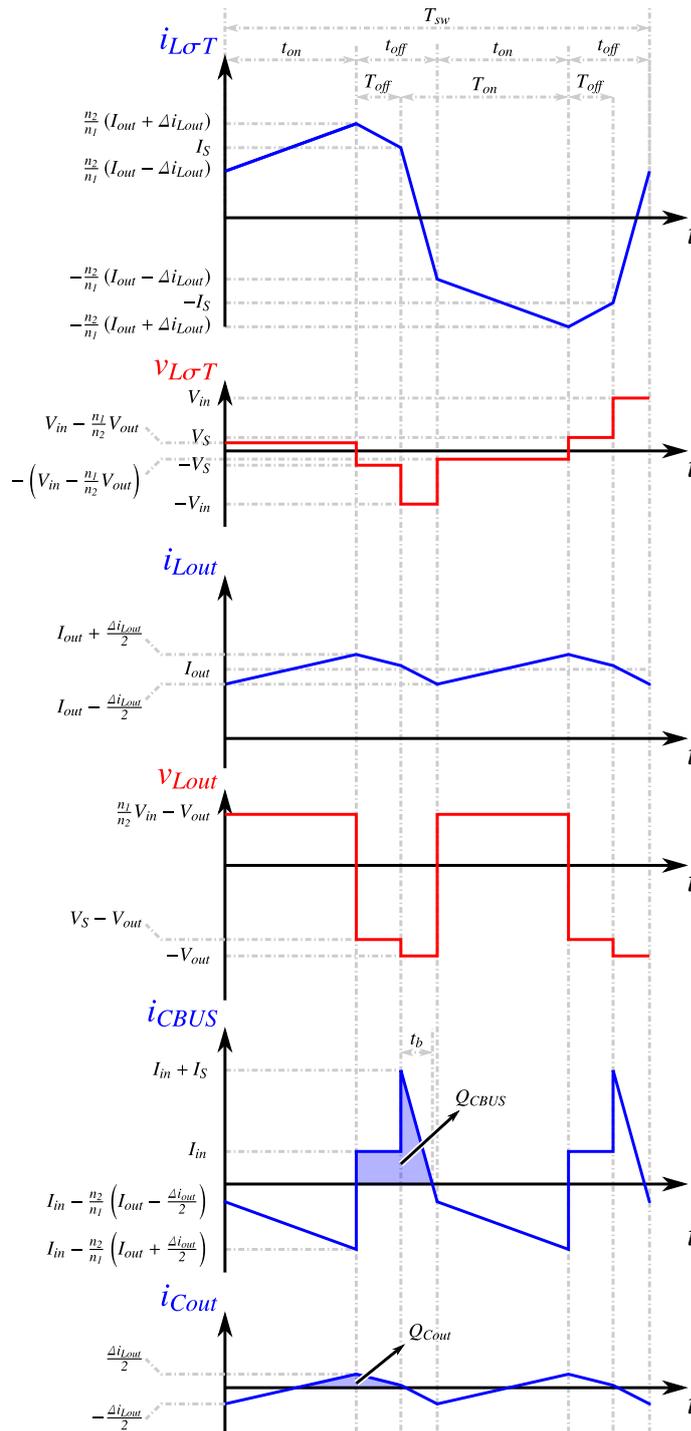


Figura 6.7: Corrientes y tensiones de las inductancias y corrientes a través de los condensadores del convertidor PSFB.

donde se observa su dependencia respecto a L_{out} . El valor de esta inductancia de salida se

obtiene mediante el análisis de las formas de onda de la Figura 6.7.

$$L_{out} = v_{Lout} \cdot \frac{\Delta t}{\Delta i} = \frac{\left(V_{in} \cdot \frac{n_2}{n_1} - V_{out} \right)}{\Delta i_{Lout}} \cdot \delta_{eff} \cdot T_{sw} \quad (6.39)$$

Se asume que las corrientes de entrada (I_{in}) y salida (I_{out}) son constantes por lo que el condensador C_{BUS} se ha de hacer cargo del rizado de corriente de entrada y el condensador C_{out} del rizado de corriente de salida. En la Figura 6.7 se observan las cargas Q_{CBUS} y Q_{Cout} que circulan por los condensadores C_{BUS} y C_{out} respectivamente. El valor de estos condensadores se calcula a partir de estas cargas y estableciendo un rizado de tensión por diseño:

$$C_{BUS} = \frac{Q_{CBUS}}{\Delta v_{CBUS}} = \frac{2 \cdot I_{in} \cdot T_{off} + t_b \cdot (I_{in} + I_S)}{2 \cdot \Delta v_{CBUS}} \quad (6.40)$$

$$C_{out} = \frac{Q_{Cout}}{\Delta v_{Cout}} = \frac{\Delta i_{Lout}}{16 \cdot \Delta v_{Cout}} \cdot T_{sw} \quad (6.41)$$

donde los diferenciales de tensión Δv_{CBUS} y Δv_{Cout} son los rizados deseados a la entrada y la salida, y t_b es el intervalo de tiempo:

$$t_b = \frac{I_{in} + I_S}{\frac{n_2}{n_1} \cdot (I_{out} - \Delta i_{Lout}) + I_S} \cdot (t_{off} - T_{off}) \quad (6.42)$$

La Tabla 6.1 recoge los valores teóricos de diseño para los componentes del convertidor.

Tabla 6.1: Valores teóricos de parámetros y componentes pasivos del convertidor PSFB

Parámetro/Componente	Acrónimo	Valor teórico	Valor seleccionado para la simulación
Tensión de entrada (bus)	V_{in}	750V	750V
Tensión de salida	V_{out}	500V	500V
Potencia de salida	P_{out}	100kW	100kW
Rizado de tensión de entrada	ΔV_{in}	3%	
Rizado de corriente de salida	Δi_{Lout}	15%	
Rizado de tensión de salida	Δv_{Cout}	0,1%	
Condensador de bus	C_{bus}	12 μF	14 μF
Inductancia de fugas	L_{σ}	610 nH	610 nH
Condensador de salida	C_{out}	8 μF	50 μF
Inductancia de salida	L_{out}	55 μH	50 μH

6.2 Diseño del convertidor PSFB

En el apartado anterior se ha analizado la topología del Phase Shifted Full Bridge mostrando la relación de distintos parámetros con las tensiones y corrientes que aparecen en distintas etapas del convertidor. A la hora de desarrollar el convertidor junto con la empresa Inge-team, se ha utilizado un transformador con cuatro secundarios (relación $2 : 1 : 1 : 1 : 1$ con $V_{\text{primario}} = 750\text{V}$), Figura 6.8.

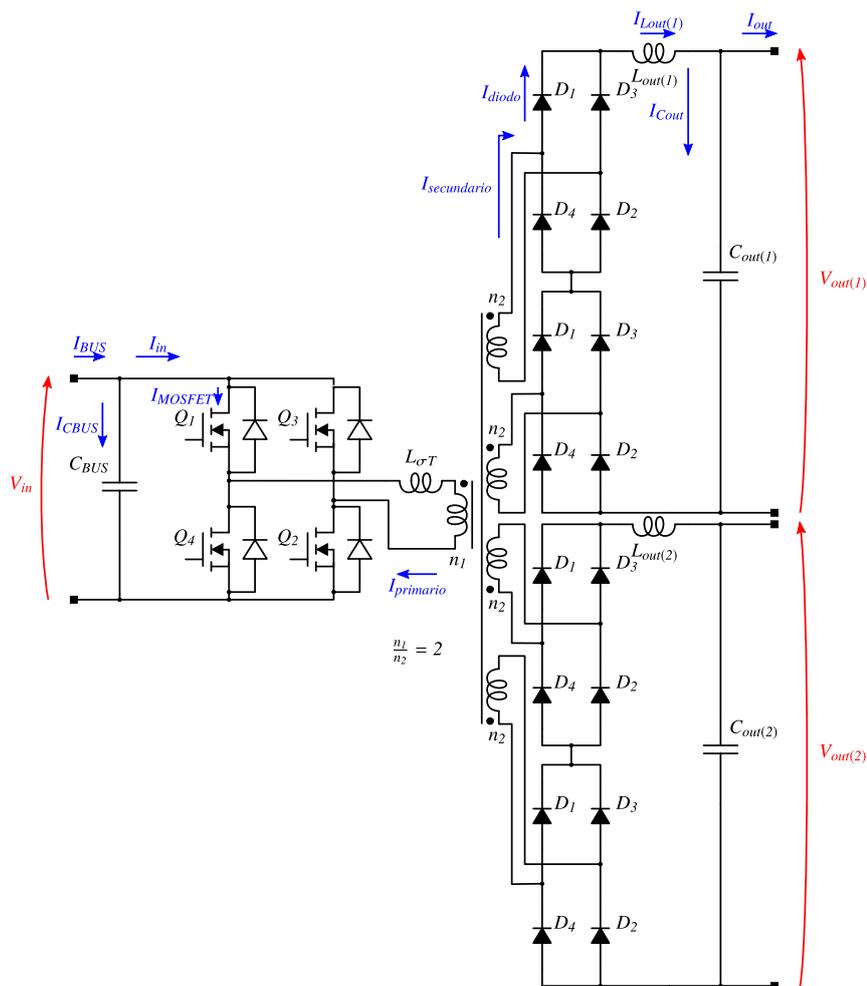


Figura 6.8: Convertidor PSFB diseñado con posibilidad de configurar las salidas $V_{out(1)}$ y $V_{out(2)}$ en serie o paralelo.

Cada uno de los secundarios se conecta a un rectificador pasivo de diodos. Estos secundarios se conectan en serie de dos en dos para alcanzar la tensión de 500V a la salida, Figura 6.8. Conectando en paralelo cada par de secundarios se pueden alimentar cargas de hasta 500V con una capacidad de corriente de salida de 200A (carga de 100kW). Conectando en serie los cuatro secundarios, se pueden alimentar cargas de hasta 1000V con una capacidad de corriente de salida de 100A . La conexión de los devanados secundarios se realiza sin corriente

ni tensión y por medio de contactores para lograr la configuración deseada.

En esta configuración, las formas de onda de tensión y corriente en las inductancias del filtro de salida continúan siendo las mismas, pero la relación entre la corriente en cada inductancia y la corriente de entrada del transformador se reduce a la mitad, ya que la corriente del primario se reparte en dos ramas paralelas en la salida. Así, la corriente que circula por cada inductancia de salida será la mitad que en el circuito ideal analizado en la Subsección 6.1.2.

Una vez dimensionado el convertidor, Tabla 6.1 se verifica el mismo. Para verificar el funcionamiento del convertidor, este se simula siguiendo el esquema de simulación mostrado en la Figura 6.9 con los parámetros mostrados en la Tabla 6.1.

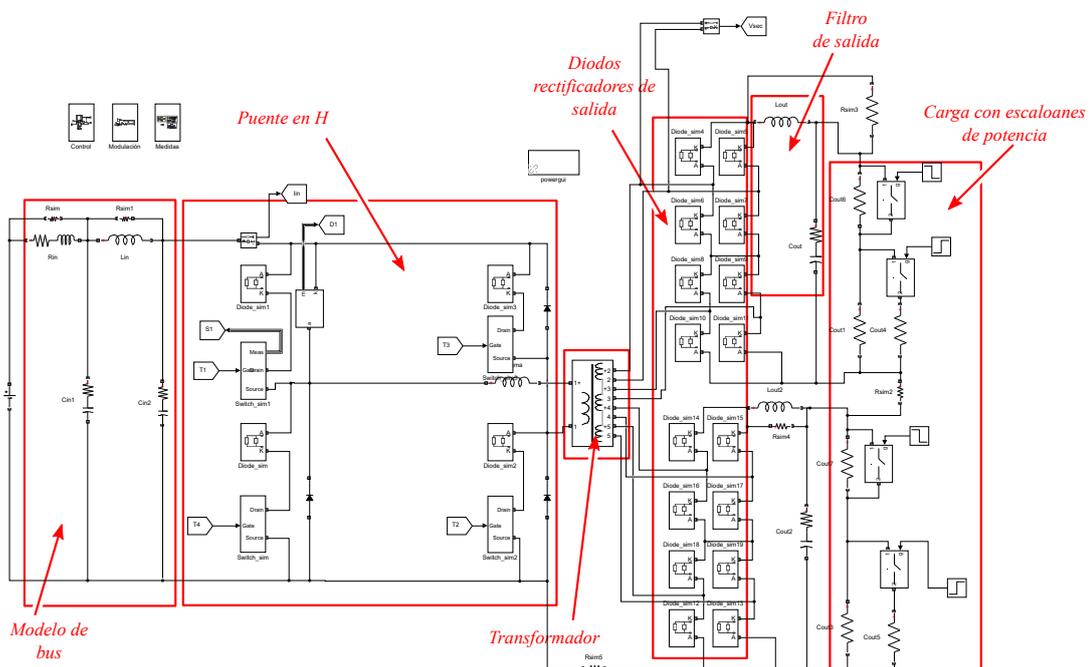


Figura 6.9: Modelo del convertidor PSFB en Simulink Simpower System.

El inversor sintetiza una tensión cuadrada en cada una de sus ramas. Ambas tensiones de onda cuadrada se decalan de forma que se pueda controlar la tensión fundamental aplicada al transformador y por lo tanto la tensión de salida. Una forma sencilla de modular este convertidor consiste en hacer trabajar a cada rama con un ciclo de trabajo (δ) fijo del 50%. Fijando las órdenes de Q_2 y de su complementario Q_3 , se aplica el valor del retardo Toff para conseguir las órdenes de Q_1 y Q_4 . Este retardo se implementa provocando que la señal triangular que se compara con el valor fijo del 50% de los transistores Q_1 y Q_4 esté desfasada respecto a la señal triangular original, utilizando un bloque que genera un retraso igual a la cantidad de pasos de simulación que se le especifica Figura 6.10 (a).

Para controlar este convertidor, en esencia, se puede aplicar un lazo de control de corriente de salida anidado dentro del lazo de control de tensión, Figura 6.10 (b). El lazo de

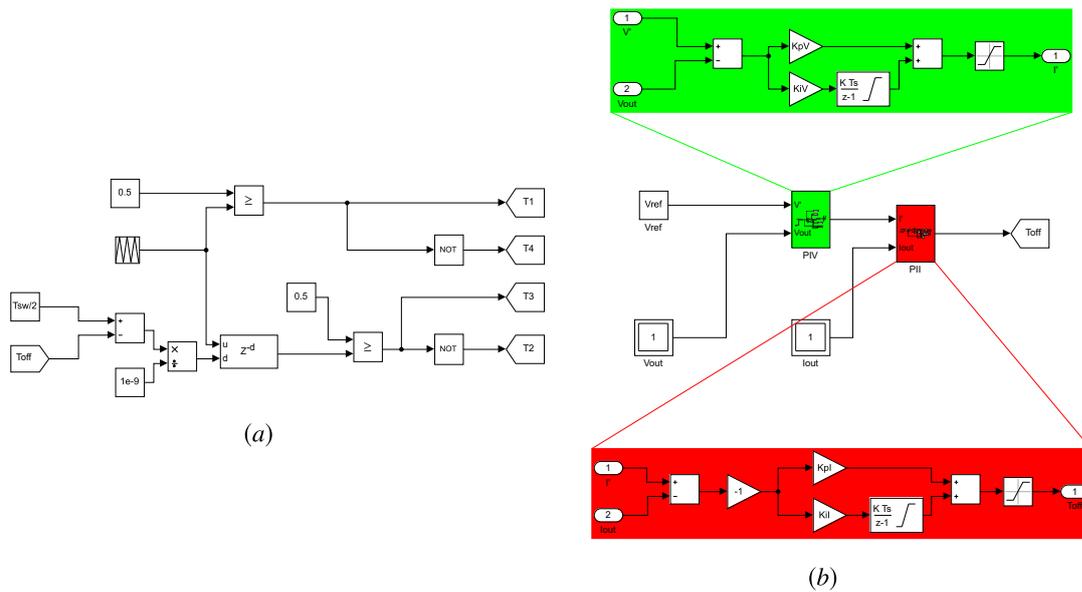


Figura 6.10: Modulación (a) y del control (b) implementados en el modelo del convertidor PSFB.

control de tensión será quien genere la consigna para el lazo de corriente de salida mientras que lazo de corriente determina el desfase de la tensión entre las dos ramas del inversor, T_{off} .

La Figura 6.11 muestra el comportamiento del convertidor en simulación frente a transitorios abruptos en la carga de 24, kW, 56, kW y 16, kW. Se puede observar como, tanto los sobrepasamiento de tensión de salida como de corriente de salida del convertidor están por debajo del 6%. El rizado de corriente aumenta al doble al mantener la relación de transformación del transformador y conectar dos secundarios y sus rectificadores en serie, duplicando el término $V_{in} \cdot \frac{n_2}{n_1}$ de la Ecuación 6.39.

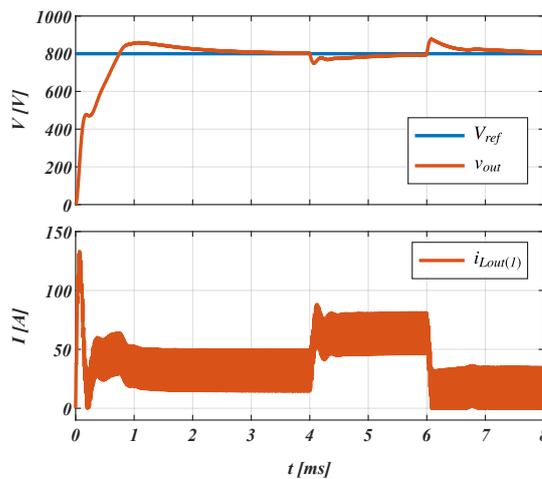


Figura 6.11: Resultados de simulación del PSFB con consigna de tensión de 800 V con cambio de demanda de potencia.

6.2.1 Dimensionado de elementos pasivos

Para dimensionar los elementos pasivos se ha recurrido principalmente a la simulación. Así se estiman las tensiones y corrientes (con sus componentes frecuenciales) que ha de soportar cada componente para proceder a su correcta elección. Del mismo modo, estas simulaciones se han utilizado para evaluar las corrientes que circulan por el PCB de forma que se pueda determinar su geometría, principalmente el grosor del cobre y la anchura de la pista a utilizar.

6.2.1.1 Capacidad de bus

El valor de la capacidad de bus mínima para la potencia de 100kW se ha calculado en la Subsección 6.1.2, habiendo estimado un valor de $12\ \mu F$ para el condensador del bus DC. Para verificar que esta capacidad es suficiente para todos los puntos de operación del convertidor se hace un barrido de potencia de salida.

En este barrido, se determina que el rizado de tensión sea inferior al 5 % y con este criterio se trata de comprobar que la capacidad calculada para la potencia nominal cubre cualquier condición de operación. A su vez, se evalúa la corriente que circula por la capacidad de bus para poder seleccionar el condensador que soporte la circulación de la corriente eficaz.

En la Figura 6.12 (a) se muestra la capacidad mínima necesaria para diferentes valores de potencia entregada, P_{out} . Como se puede apreciar, con $14\ \mu F$ se cubren todos los puntos de la aplicación. Para la selección del condensador es además necesario conocer la corriente eficaz que circula a través del condensador a una frecuencia determinada. Esto se debe básicamente a que en la resistencia serie del condensador se generan pérdidas de potencia al paso de corriente y por lo tanto es necesario su evaluación. Además, en función de la frecuencia de operación, la ESR aumenta con la frecuencia de trabajo y por lo tanto se debe seleccionar aquel condensador que para una componente frecuencial de corriente presente una ESR baja.

La corriente eficaz máxima que circula por el elemento se determina realizando un barrido de potencia (Figura 6.12 (b)). En esta aplicación, conmutando cada semiconductor a $50\ kHz$, al tener dos ramas desfasadas, la componente fundamental de la corriente por el condensador de bus es de $100\ kHz$. Es de notar que esta corriente tiene componentes frecuenciales de mayor frecuencia y por ello se recurre a la opinión del fabricante del condensador para la selección apropiada de la capacidad.

Así, el tipo de condensador de bus, Figura 6.13, a seleccionar para esta aplicación está delimitado por estas cuatro variables; tensión, capacidad, corriente y frecuencia de operación. También el costo o la degradación en función de la temperatura influyen en la selección del condensador de bus. En los condensadores electrolíticos, el factor limitante es el rizado de corriente, ya que los condensadores electrolíticos tienen una ESR relativamente alta, lo que requiere la conexión en paralelo de muchos condensadores. Los condensadores de película tienen un mejor rendimiento general, siendo su mayor inconveniente su ratio capacidad/vol-

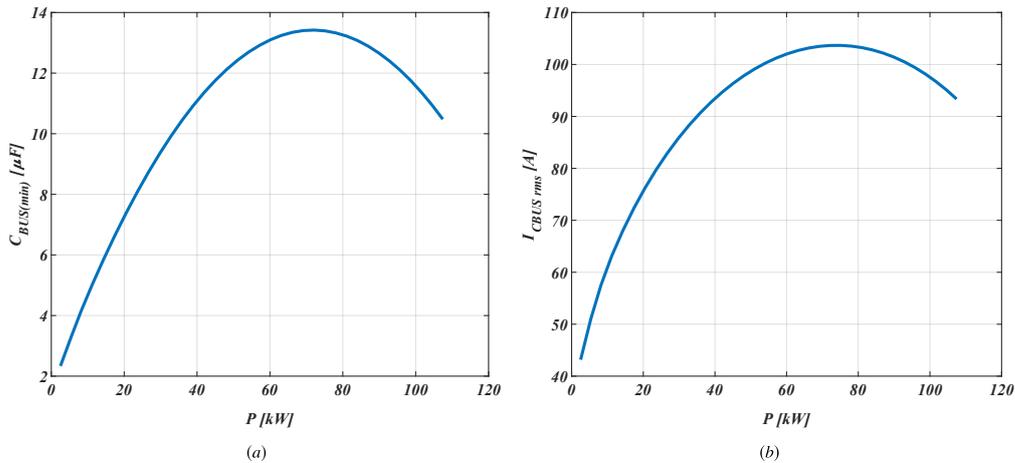


Figura 6.12: Capacidad mínima (a) y corriente eficaz por el condensador de bus (b) para diferentes los puntos de operación en potencia del PSFB.

lúmen. Es importante tener presente como la capacidad de un condensador cerámico, electro-lítico o de plástico disminuye a medida que la frecuencia de conmutación aumenta por encima de varias decenas de kHz [153] [154].

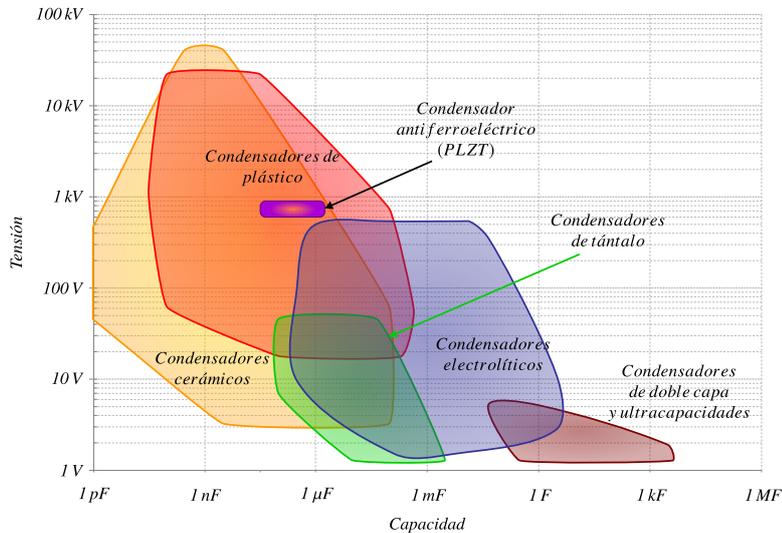


Figura 6.13: Tipos de condensadores en función de la tensión de la aplicación y su capacidad.

Todo esto provoca que la selección del condensador se tenga que realizar junto con el fabricante, ya que en muchos casos no existe información sobre la operación a alta frecuencia [155]. En este caso concreto, la opción propuesta por el fabricante tras compartir el perfil de corriente es utilizar 3 condensadores B32778J7996KXXX en paralelo, dando un valor de capacidad total de $300 \mu F$. Como se puede observar, para este tipo de condensador, resulta obligatorio sobredimensionar la capacidad de bus para que este pueda soportar la corriente

que circula sin que su temperatura se eleve en exceso. Esto da una idea del impacto que tiene aumentar la frecuencia de operación de un equipo de potencia, no sólo desde el punto de vista del semiconductor, sino que el resto de elementos que componen el convertidor han de ser capaces de operar a dicha frecuencia de operación.

6.2.1.2 Diseño del PCB

El convertidor tiene una primera etapa compuesta por el rectificador activo y el inversor del full bridge conectado al primario del transformador. La segunda etapa está compuesta por los rectificadores del secundario y los filtros de salida. En esta segunda etapa, siendo la más sencilla se conectan los componentes mediante un embarrado de aluminio. Sin embargo, la primera etapa, donde se concentra principalmente la electrónica de potencia controlada, sus circuitos de gobierno, sensorización y electrónica auxiliar, exige el uso de un embarrado de muy baja inductancia parásita y alta densidad de corriente. Para lograrlo, se decide desarrollar un PCB que además de conectar todos los componentes (semiconductores, drivers, capacidades, ...) presente una muy baja inductancia parásita y así se pueda trabajar con altas dinámicas de conmutación sin que las sobretensiones, oscilaciones o los problemas de interferencias electromagnéticas (punto no analizado en este trabajo) supongan un problema no tolerable para el funcionamiento del equipo.

Los elementos parásitos de un circuito de conmutación junto a los elementos parásitos de los propios semiconductores cobran mucha importancia en un circuito de potencia en el que se conmuta con altas dinámicas de corriente y tensión. Las inductancias y las capacidades parásitas pueden provocar sobretensiones y oscilaciones de tensión y corriente, y afectan también a las pérdidas de conmutación. Aunque estos comportamientos indeseados existen también para dispositivos de silicio, las altas dinámicas de conmutación de los componentes de carburo de silicio acentúan estos problemas.

Como se puede observar en la Figura 6.14 el espectro de una señal trapezoidal, ya sea de corriente o tensión, está relacionado al duty-cycle y a los tiempos de subida/bajada (dinámicas) de las señales conmutadas. La frecuencia del duty-cycle determina donde la envolvente del espectro frecuencial comienza a decaer con 20 dB/dec y los tiempos de subida y caída determinan dónde comienza a caer con 40 dB/dec . Se puede considerar que las componentes frecuenciales que se atenúan con 40 dB/dec son lo suficientemente pequeñas como para que su influencia se pueda despreciar. Es decir, el ancho de banda de la tensión/corriente conmutada se define como la frecuencia a la que comienza una atenuación de 40 dB/dec .

Esto implica que si los tiempos de subida/bajada, tiempos de conmutación, son cortos, del orden de nanosegundos, su contenido armónico se extiende hasta el rango de los megahercios. Estos armónicos de muy alta frecuencia, excitan las redes LC parásitas de los distintos circuitos y por lo tanto generan provocan oscilaciones de tensión y corriente. A su vez, estas

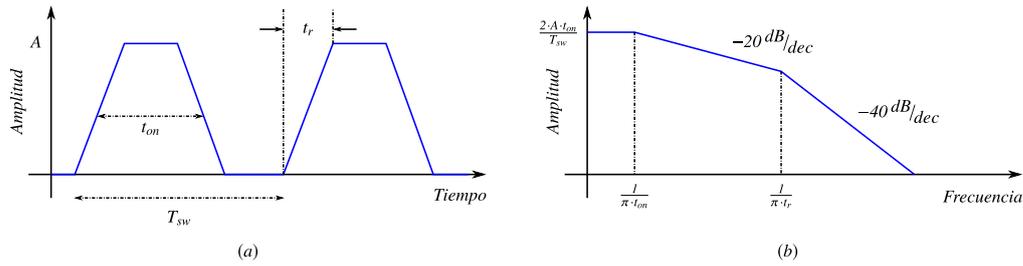


Figura 6.14: (a) Señal trapezoidal en el dominio temporal y (b) la envolvente de su distribución en el dominio frecuencial

componentes de alta frecuencia se acoplan fácilmente mediante mecanismos de acople capacitivo y/o inductivos a circuitos adyacentes y por lo tanto son una fuente de ruido importante. Es por ello que el uso de estos componentes de banda prohibida ancha exige considerar los criterios de diseño básicos de PCBs que permiten minimizar la influencia de los parásitos en el funcionamiento del convertidor [156, 157].

Efecto de los elementos parásitos en los dispositivos SiC Para minimizar el área del lazo de conmutación del convertidor y así minimizar las inductancias parásitas que aparecen, se debe identificar cual es el lazo de conmutación de cada semiconductor. En la Figura 6.15 se muestra a modo de ejemplo la conmutación de apagado del transistor Q_2 con una configuración de semipunte con carga inductiva.

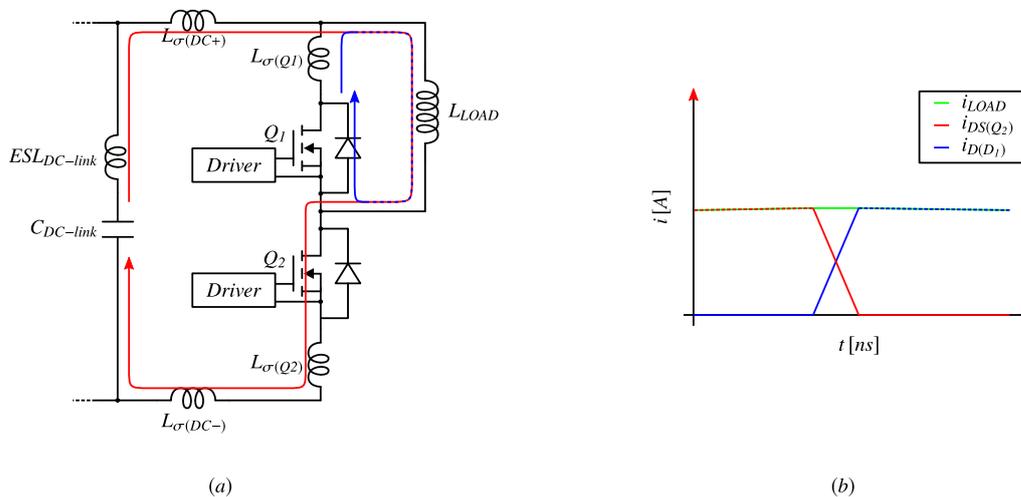


Figura 6.15: Proceso de apagado del MOSFET inferior de un semipunte e inductancias parásitas que intervienen en él.

Durante el transitorio de conmutación se asume que la corriente por la carga se mantiene de forma que:

$$i_{LOAD} = i_{DS(Q_2)} + i_{D(D_1)} \tag{6.43}$$

$$\frac{di_{DS(Q_2)}}{dt} = -\frac{di_{D(D_1)}}{dt} \quad (6.44)$$

Aplicando la ley de mallas al circuito de la Figura 6.15:

$$v_{DS} = -v_{LOAD} - v_{L_\sigma} + V_{BUS} - v_{L_T} \quad (6.45)$$

La tensión (V_{BUS}) en el condensador del bus ($C_{DC-link}$) se considera constante. La tensión en la carga está en paralelo con el diodo D_1 y su inductancia parásita interna ($L_{\sigma(Q_1)}$):

$$v_{LOAD} = -v_{ak} - v_{L_D} \quad (6.46)$$

Sustituyendo la Ecuación 6.43 y la Ecuación 6.46 en la Ecuación 6.45, se obtiene:

$$v_{DS} = v_{ak} - L_{\sigma(Q_1)} \frac{di_{DS(Q_2)}}{dt} - L_{\sigma(Q_2)} \frac{di_{DS(Q_2)}}{dt} + V_{BUS} - L_{DC} \frac{di_{DS(Q_2)}}{dt} \quad (6.47)$$

donde L_{DC} es la inductancia parásita del circuito de potencia:

$$L_{DC} = ESL_{DC-link} + L_{\sigma(DC+)} + L_{\sigma(DC-)} \quad (6.48)$$

Con el fin de minimizar la inductancia parásita del lazo de potencia, se ha de minimizar el área que definen las inductancias ($L_{\sigma(DC+)}$, $L_{\sigma(DC-)}$, $L_{\sigma(Q_1)}$, $L_{\sigma(Q_2)}$ y $ESL_{\sigma(DC-link)}$). Así, la inductancia del bus DC, $L_{\sigma(DC)}$ ($L_{\sigma(DC+)} + L_{\sigma(DC-)}$), se podrá minimizar y con ello su influencia en el funcionamiento del convertidor. Este razonamiento se debe aplicar a cada semiconductor del convertidor para definir y minimizar cada una de las inductancias parásitas en los lazos de conmutación. Para ello, las pistas que llevan la corriente en un sentido han de estar lo más cerca posible de las pistas con la corriente de retorno. Esto resulta particularmente importante cuando las dinámicas de apagado de un semiconductor alcanzan o incluso superan los $10A/ns$ ya que un mal circuito de conmutación con alta inductancia parásita puede provocar sobretensiones excesivas durante el apagado de los semiconductores.

Además de la sobretensión producida por las inductancias parásitas ($L_{\sigma(Q_1)}$, $L_{\sigma(Q_2)}$ y $L_{\sigma(DC)}$ en la Figura 6.15), estas forman un circuito resonante con la capacidad de salida (C_{oss}) del SiC-MOSFET Q_2 , amortiguado únicamente por la resistencia equivalente del circuito de potencia que forman la resistencia serie equivalente (ESR) del condensador de bus y la resistencia en conducción del diodo. La frecuencia de resonancia queda definida por la inductancia y la capacidad equivalente de todo el lazo de conmutación:

$$f_{res.} = \frac{1}{2\pi \cdot \sqrt{C_{oss} \cdot L_{\sigma(total)}}} \quad (6.49)$$

Idealmente, si la inductancia equivalente es muy baja, a pesar de conmutar con altas dinámicas de conmutación nunca se excitaría el tanque resonante equivalente ($L_{\sigma(total)}$, C_{oss}) a su frecuencia de resonancia (mínima impedancia en el tanque máxima corriente oscilante), y por lo tanto la amplitud de la oscilación quedaría acotada. Es por ello, que además de reducir las sobretensiones en el apagado, reducir la inductancia parásita equivalente reduce las oscilaciones que aparecen en los transitorios de conmutación.

Además de diseñar la geometría que minimice la inductancia parásita que presenta el layout de potencia, es necesario dimensionar los embarrados, las pletinas o la pistas del PCB para que estas sean capaces de conducir la corriente eficaz que circula por el convertidor, Figura 6.8, ya que en función de estas se deberá elegir entre las diferentes opciones para realizar el layout Figura 6.16.

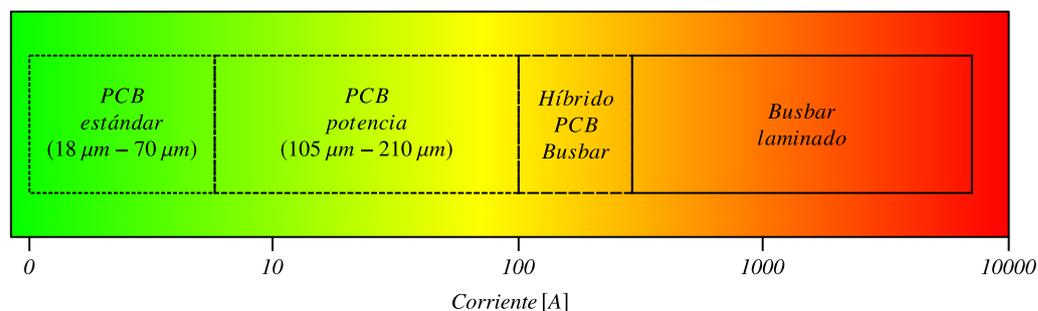


Figura 6.16: Alternativas para la distribución de corriente en circuitos de potencia en base a su magnitud [158].

Mediante un barrido en simulación, se ha obtenido la corriente máxima que circula por cada una de las partes del convertidor, Tabla 6.2. Con esta información se puede definir el grosor y la anchura de cobre que ha de tener el PCB.

Tabla 6.2: Corrientes eficaces por los tramos del convertidor PSFB.

	Entrada		Salida
	I_{RMS} (A)		I_{RMS} (A)
I_{BUS}	97	$I_{secundario}$	73
I_{Cin}	78,3	I_{diodo}	51,5
I_{in}	123,4	I_{Cout}	10,2
I_{MOSFET}	104,6	I_{out}	72,5
$I_{primario}$	147		

El ancho de las pistas de un PCB depende de la corriente eficaz a soportar y del salto térmico que se quiere en el cobre respecto a la temperatura ambiente. El grosor de las pistas conductoras de un PCB se expresa en oz-s ($onza/pie^2$) y sus valores estándares son 1, 2 o 3 oz-s, Tabla 6.3.

Tabla 6.3: Conversión de unidades de grosores estándares de PCB.

Grosor de la pista.	
1 oz	35 μm
2 oz	70 μm
3 oz	105 μm
4 oz	140 μm

Para el cálculo de la anchura de pista se utiliza la siguiente ecuación empírica para PCB-s fabricados sobre material FR-4 [159]:

$$Anchura [mm] = \frac{\left(\frac{I_{RMS}}{k_1 \cdot \Delta T^{k_2}}\right)^{\frac{1}{k_3}}}{h \cdot 1,378} \quad (6.50)$$

donde I_{RMS} es la corriente eficaz, h es el grosor del PCB, ΔT es el salto térmico entre ambiente y PCB (normalmente un salto conservador se encuentra entre 10 y 15 °C [160]), y el valor de las constantes k dependen de si son para el cálculo de las pistas internas o externas como se aprecia en la Tabla 6.4. Si la pista es externa, esta tiene más facilidad para refrigerarse por lo que una anchura de pista menor permite la circulación de corrientes mayores.

Tabla 6.4: Constantes empíricas para el cálculo de la anchura de pistas PCB.

Pistas internas	Pistas externas
$k_1 = 0,015$	$k_1 = 0,0647$
$k_2 = 0,5453$	$k_2 = 0,4281$
$k_3 = 0,7349$	$k_3 = 0,6732$

En la Figura 6.17 se aprecia como la anchura de pista necesaria para conducir una corriente determinada cae a medida que aumenta el grosor de la misma. Sin embargo, a partir de los 3 oz el PCB exige respetar distancias mínimas entre pistas, tamaño mínimo de vías, etc... para que este pueda ser fabricado. Por ello, resulta imperativo contactar con el fabricante para conocer los límites y restricciones de fabricación [159].

El PCB de este convertidor se ha fabricado con 6 capas, utilizando un grosor de 3 oz y utilizando siempre al menos dos capas (interna y externa) allí donde la corriente supera 100A eficaces.

6.2.1.3 Condensador de desacoplo

Cuando se conmuta con altas dinámicas de conmutación, las inductancias parásitas del lazo de conmutación generan sobretensiones y oscilaciones en bornes del semiconductor que

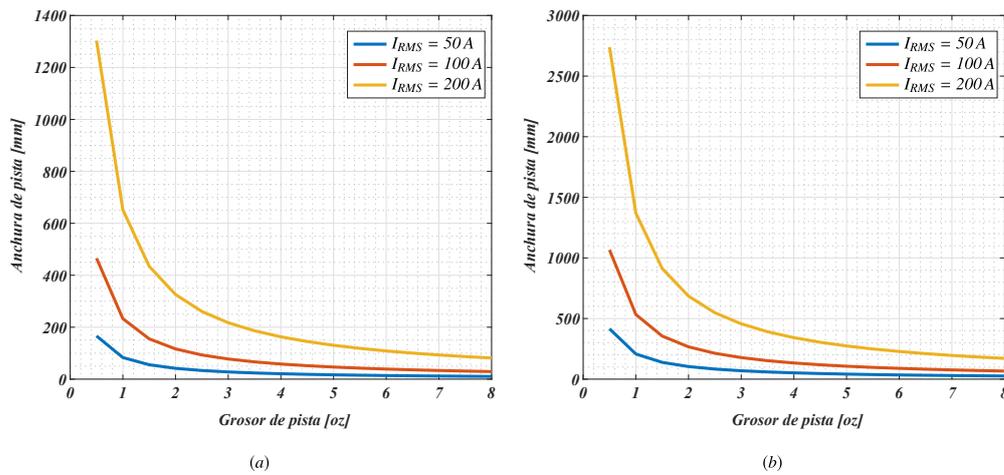


Figura 6.17: Anchura de pista frente a grosor de pista para un salto térmico de 10°C para pistas (a) externas e (b) internas.

se apaga. Con el uso de componentes de carburo de silicio, es importante que esta inductancia parásita sea sumamente baja debido a que las derivadas de corriente en el apagado del propio semiconductor son un orden de magnitud superiores a las de los IGBTs de silicio, lo que provoca una sobretensión proporcional.

Tal y como se muestra en la Figura 6.18 (a), la capacidad de desacoplo se hace cargo de la energía almacenada en la inductancia parásita del bus DC (capacidad de bus $ESL_{DC-link}$ más inductancia del embarrado, $L_{\sigma(DC+)}$ y $L_{\sigma(DC-)}$) de forma que la inductancia parásita que ve el semiconductor que se apaga es la formada por la propia capacidad de desacoplo y la rama de conmutación ($L_{(com+)}$ y $L_{(com-)}$).

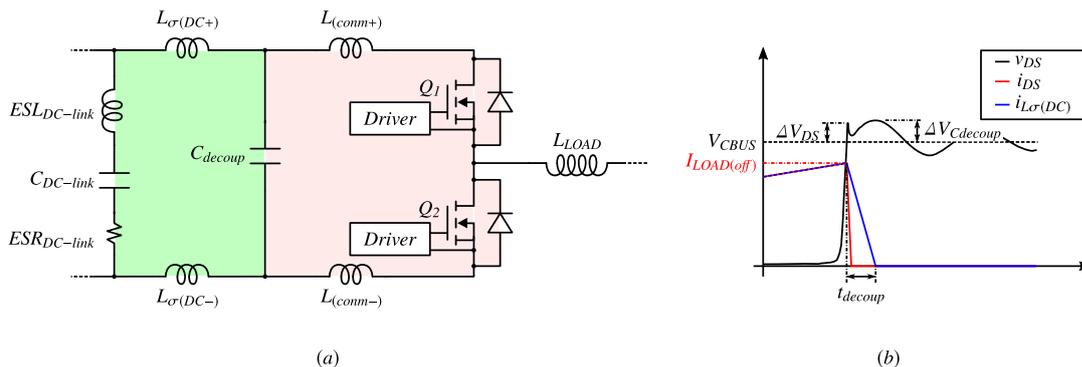


Figura 6.18: Apagado de un SiC-MOSFET con condensador de desacoplo: (a) Circuito equivalente y (b) formas de onda típicas en el apagado del SiC-MOSFET.

Para que este condensador cumpla de manera eficaz su función debe cumplir una serie de requisitos [9], como son:

- Una tensión de diseño superior, al menos un 20% [161], a la tensión de bus.

- Una baja inductancia parásita (ESL).
- Alta capacidad de corriente de pico.
- Una baja su resistencia parásita interna (ESR) para reducir las pérdidas de potencia.
- Capacidad para trabajar a alta temperatura sin degradarse.

Los condensadores con poca ESL y ESR son típicamente cerámicos, con encapsulados SMD, pero cuya relación tensión/capacidad es inversamente proporcional (Figura 6.13), lo que a menudo implica tener que paralelarlos para aumentar su capacidad. Además, estos condensadores están emplazados junto al módulo de potencia por lo que pueden alcanzar temperaturas elevadas como consecuencia del acoplamiento térmico entre el módulo de potencia y el condensador a través de las pistas y pines de potencia. Típicamente, la corriente de fuga del dieléctrico aumenta con la temperatura, por lo que los condensadores de película de plástico, cerámicos y electrolíticos pierden capacidad efectiva y se degradan (ven reducida su vida útil) a medida que aumenta la temperatura de trabajo. Por ejemplo, la vida útil del condensador electrolítico de aluminio se reduce a la mitad cuando la temperatura ambiente es 10°C mayor [162]. Este no es el caso de los condensadores antiferroeléctricos (con dieléctrico de titanato de circonato de lantano y plomo, *PLZT*) [154], que permiten operar con tensiones de bus de hasta 900 V y a temperaturas elevadas ($70^{\circ}\text{C} - 150^{\circ}\text{C}$) sin perder capacidad real (incluso se incrementa ligeramente en un rango de temperatura). Además, este incremento de temperatura reduce su ESR (Figura 6.19 (a)) la cual se reduce también a medida que aumenta la frecuencia (Figura 6.19 (b)). Esto hace que estos condensadores sean particularmente apropiados para este tipo de aplicaciones.

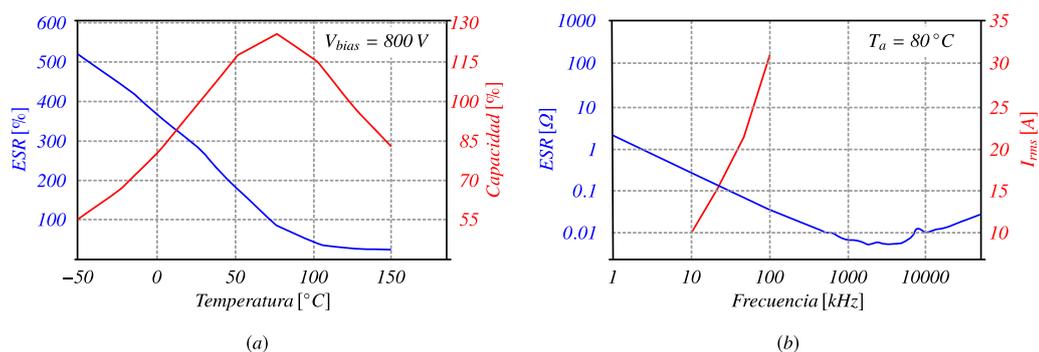


Figura 6.19: Características de los condensadores ferroeléctricos en función de la (a) temperatura y (b) frecuencia [163].

El cálculo de la capacidad de desacoplo necesaria se realiza asumiendo un rizado de tensión $\Delta V_{C_{decoupl}}$ en bornes de $C_{decoupl}$ de 30 V (4% sobre la tensión de bus) cuando la inductancia total

$L_{\sigma(DC)}$ cede toda su energía sobre él [9]:

$$L_{\sigma(DC)} = L_{\sigma(DC+)} + L_{\sigma(DC-)} + ESL_{DC-link} \quad (6.51)$$

$$V_{Cdecoup(av)} = V_{CBUS} + \frac{\Delta V_{Cdecoup}}{2} \quad (6.52)$$

La energía que cede la inductancia parásita durante el transitorio de conmutación es:

$$E_{L\sigma(DC+)} = \frac{1}{2} \cdot t_{decoup} \cdot I_{LOAD(off)} \cdot V_{Cdecoup(av)} \quad (6.53)$$

La energía aceptada por el condensador se define como:

$$E_{Cdecoup} = \frac{1}{2} \cdot C_{decoup} \cdot (\Delta V_{Cdecoup})^2 \quad (6.54)$$

Igualando ambas energías (Ecuación 6.53 y Ecuación 6.54) obtenemos:

$$C_{decoup} = \frac{L_{\sigma(DC)} \cdot I_{LOAD(off)}^2}{\Delta V_{Cdecoup}^2} \quad (6.55)$$

En este caso, se ha asumido (no se ha medido) una inductancia parásita máxima entre los condensadores de bus y el condensador de desacoplo ($L_{\sigma(DC+)}$) inferior a 50 nH , con una corriente de apagado máxima de 200 A . Con ello obtenemos una C_{decoup} igual a $2,22 \mu\text{F}$ y por ella circula una corriente eficaz de $\sim 11 \text{ A}$:

$$I_{RMS} = \sqrt{\frac{1}{T_{sw}} \int_0^{t_{decoup}} \left(I_{LOAD(off)} - \frac{I_{LOAD(off)}}{t_{decoup}} \cdot t \right)^2 \cdot dt} = \sqrt{\frac{I_{LOAD(off)}^2 \cdot t_{decoup}}{3 \cdot T_{sw}}} \quad (6.56)$$

Por ello, se ha seleccionado un condensador antiferroeléctrico de $2,5 \mu\text{F}$ y 30 A_{rms} a 100 kHz y temperatura ambiente de 80°C (características mostradas en Figura 6.19).

6.2.2 Dimensionado y selección de semiconductores

Para analizar las pérdidas de los módulos FF6MR12W2M1_B11 [98] es necesario conocer la corriente que circula por cada uno de ellos. Si la corriente por un semiconductor es conocida, se puede estimar la caída de tensión en bornes del semiconductor mediante su característica de salida y por lo tanto, las pérdidas de conducción. Conocida la corriente por el semiconductor, se conoce también la corriente que enciende y apaga este semiconductor. Mediante las curvas de energía disipada en función de la corriente conmutada, se pueden computar las pérdidas

de conmutación del semiconductor.

El funcionamiento del dispositivo 1 (formado por el MOSFET Q_1 y el diodo $D_{(Q1)}$) y del dispositivo 4 (formado por el MOSFET Q_4 y el diodo $D_{(Q4)}$) es el mismo, ya que son complementarios, Figura 6.20 (a). Lo mismo sucede con los dispositivos 2 y 3, la corriente es la misma en ambos, pero difiere respecto a la de los dispositivos 1 y 4, Figura 6.20 (b). Es por lo tanto suficiente con estimar las pérdidas en dos de los dispositivos para evaluar térmicamente el inversor.

Tal y como se observa Figura 6.20, existen dos intervalos de tiempo, t_1 y t_2 , en los cuales en los dispositivos 2 y 3 conduce el diodo mientras que en los dispositivos 3 y 4 conduce el MOSFET. Esto hace que las corrientes conmutadas sean distintas, por lo cual las pérdidas de conmutación también difieren. En lo que respecta a las pérdidas de conducción, como en todo momento el dispositivo que conduce tiene orden de conducción, el canal del MOSFET está abierto presentando menor resistencia que el diodo, por lo que la corriente circula principalmente por el MOSFET. Por simplicidad, la característica de salida del MOSFET en el tercer cuadrante se computa con la $R_{DS(on)}$ de conducción del MOSFET y por lo tanto, la evaluación de pérdidas de conducción sea igual en ambos sentidos de la corriente .

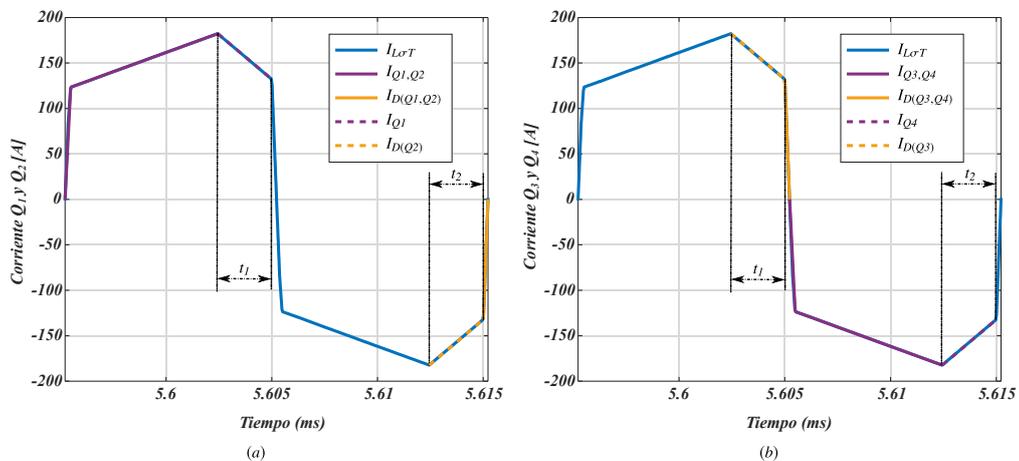


Figura 6.20: Corrientes por los dispositivos (a) 1 y 2, y (b) 3 y 4 del PSFB.

Las pérdidas de conducción en los semiconductores quedan definidas como:

$$P_{Q(cond.)} = \frac{1}{T_{sw}} \int_0^{t_{cond.}} i_{DS}(t) \cdot v_{DS}(t) \cdot dt \quad (6.57)$$

$$v_{DS}(t) = i_{DS}(t) \cdot R_{DS(on)} \quad (6.58)$$

Sustituyendo Ecuación 6.58 en Ecuación 6.57:

$$P_{Q(cond)} = \frac{1}{T_{sw}} \int_0^{t_{cond.}} i_{DS}^2(t) \cdot R_{DS(on)} \cdot dt = R_{DS(on)} \cdot I_{DS(RMS)}^2 \quad (6.59)$$

donde $R_{DS(on)}$ es la resistencia en conducción para una temperatura de unión de 135°C .

El análisis de las pérdidas de conmutación se divide en dos; pérdidas de encendido y pérdidas de apagado. Tal y como se puede observar en (Figura 6.20) en todos los casos los MOSFETs se encienden con corriente nula, por lo que sus pérdidas de encendido se consideran nulas. Para computar las pérdidas de apagado se estima la corriente conmutada en el apagado y se estiman las pérdidas de apagado haciendo uso de la curva de E_{off} de la hoja de datos del módulo. Esta gráfica se suministra únicamente para una tensión de trabajo de 600V , por lo que se ha escalado para la tensión de trabajo del convertidor diseñado (750V):

$$E_{off(dis)} = E_{off(datasheet)} \cdot \left(\frac{V_{BUS(dis)}}{V_{BUS(datasheet)}} \right)^{kv} \quad (6.60)$$

donde kv es un factor para la corrección de las pérdidas en función de la tensión de trabajo, que suele establecerse entre valores de $0,6$ a $1,6$ para dispositivos de silicio [9]. En esta estimación, como primer paso y a falta de medidas para comprobarlo, se ha realizado un escalado lineal ($kv = 1$) por lo que finalmente las pérdidas de conmutación de apagado se han estimado de la siguiente manera:

$$P_{Q(sw-off)} = E_{off(dis)} \cdot f_{sw} \quad (6.61)$$

siendo f_{sw} la frecuencia de conmutación. Sumando ambas potencias se obtienen las pérdidas totales del MOSFET:

$$P_{Q(total)} = P_{Q(cond)} + P_{Q((sw-off))} \quad (6.62)$$

Utilizando estas pérdidas totales se calcula la temperatura de capsula necesaria para garantizar que la temperatura de unión está por debajo del valor máximo recomendado por el fabricante. En este caso, se asume un margen de 15°C respecto a la máxima temperatura de unión indicada por el fabricante.

$$T_c = T_j - P_{Q(total)} \cdot Z_{\Theta(j-c)} \quad (6.63)$$

Tras computar las pérdidas de potencia y evaluar térmicamente el inversor se observa que se requiere de una temperatura de cápsula de 46°C para transferir 100kW . Esto requeriría una refrigeración excesiva, por lo que se ha recalculado la potencia que suministra el convertidor fijando la temperatura de cápsula a un valor de 70°C . En las siguientes figuras se observa

la variación de la temperatura media de la unión respecto a la corriente que circula por el MOSFET (Figura 6.21 (a)) y como cambian la corriente y potencia de salida respecto a dicha corriente (Figura 6.21 (b)).

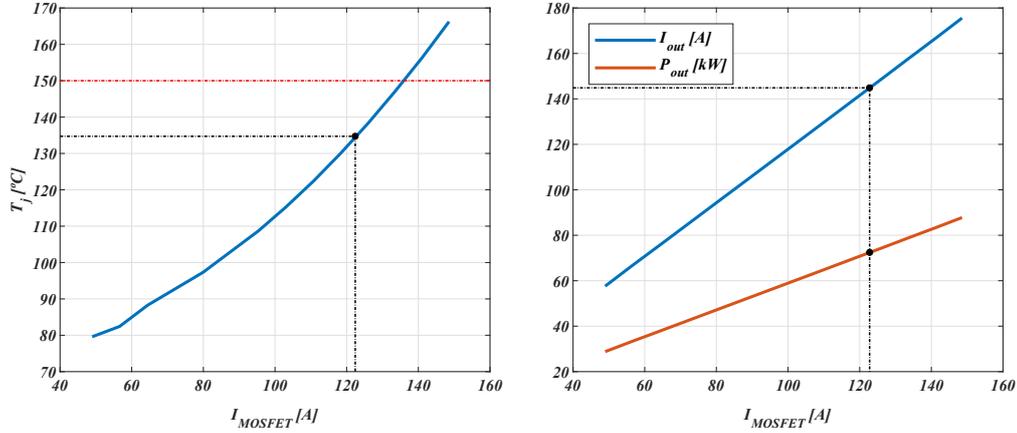


Figura 6.21: Corrientes por los dispositivos (a) 1 y 2, y (b) 3 y 4 del PSFB.

Con dichos límites de temperatura de unión y cápsula, la corriente eficaz máxima por el semiconductor queda fijada en torno a 120A, quedando la potencia entregada limitada a 75 kW.

6.2.2.1 Dimensionado térmico del rectificador de salida

En el caso del puente rectificador de diodos situado a en cada secundario del transformador, su análisis se ha realizado siguiendo los mismos criterios que con el módulo SiC-MOSFET ($T_c = 70^\circ\text{C}$ y $P_{out} = 100\text{ kW}$). Bajo este criterio se han calculado las pérdidas de conducción de la siguiente forma:

Las pérdidas de conducción quedan definidas como:

$$P_{D(cond.)} = \frac{1}{T_{sw}} \int_0^{t_{cond.}} i_F(t) \cdot v_F(t) \cdot dt \quad (6.64)$$

$$v_F(t) = v_{th} + i_F(t) \cdot r_D \quad (6.65)$$

donde v_{th} es la tensión umbral y r_D es la resistencia dinámica en conducción del diodo para una temperatura de unión de 135°C.

Sustituyendo Ecuación 6.65 en Ecuación 6.64:

$$P_{D(cond.)} = \frac{1}{T_{sw}} \int_0^{t_{cond.}} (i_F \cdot v_{th} + i_F^2(t) \cdot r_D) \cdot dt = I_{F(AV)} \cdot v_{th} + r_{D(on)} \cdot I_{F(RMS)}^2 \quad (6.66)$$

Para realizar la estimación de las pérdidas en conmutación del diodo solo se barajan las pérdidas de apagado. En régimen permanente la corriente de apagado del diodo es siempre la misma y por lo tanto el cálculo de la potencia disipada se realiza de la siguiente manera.

$$P_{D(total)} = P_{D(cond.)} + P_{D(off)} \quad (6.67)$$

Cada diodo rectificador disipa 30 W y para una temperatura de cápsula de 70 °C la temperatura de unión alcanza los 87,4 °C. En este caso no existe ningún problema ya que la temperatura de unión máxima a la que puede trabajar este elemento es de 175 °C.

6.3 Ensayos experimentales del cargador

Una vez dimensionado el equipo y montado en colaboración con Ingeteam se procede a validarlo parcialmente de forma experimental. En una primera fase se valida el PCB de potencia, lo cual implica la evaluación de drivers, el comportamiento de los MOSFETs en conmutación y la protección de los MOSFET operando en condiciones de falta. A su vez, se evalúan las pérdidas de potencia de los MOSFETs en el PCB desarrollado. En una segunda etapa, se ha validado por parte de Ingeteam el funcionamiento de la etapa PSFB del cargador rápido al ser la más crítica en cuanto a necesidades de control, refrigeración e integración. En la Figura 6.22 se muestran las caras superior (a) e inferior (b) del PCB desarrollado. Tal y como se ha comentado previamente, el mismo diseño PCB se utiliza para el convertidor AFE y el convertidor PSFB, utilizando para este último únicamente dos módulos (ramas). El PCB del AFE y el del inversor comparten un mismo radiador situado a modo de “sandwich” entre ambas tarjetas.

Tal y como se muestra en Figura 6.22 (b), se ha realizado un corte de cobre en la capas inferiores del PCB a la altura del surtidor del MOSFET inferior del módulo 3. De esta forma se puede introducir una sonda de corriente en una de las ramas para evaluar la conmutación de una de las ramas y verificar así su funcionamiento. Posteriormente se realiza la comparativa con los resultados obtenidos en una rama sin corte en la que únicamente es posible la medida con el método propuesto, Capítulo 4. Estos ensayos de conmutación se han llevado a cabo utilizando tests de doble pulso. En este caso se han utilizado las siguientes sondas para la medida de tensiones y corrientes, Tabla 6.5.

Tabla 6.5: Variables de medida de la conmutación y su sonda correspondiente.

Variable	Sonda	Tipo	BW (MHz)	t_r o di/dt_{pico}	Valor máximo
i_{LOAD}	CWTMiniHF6R	Rogowski	30	80 kA/ μ s	1,2 kA
v_{DS}	Tektronix P5120	Pasiva	200	< 3,6 ns	1 kV
i_{DS}	Pearson 2878	Trans. corriente	70	5 ns	400 A
$v_{L\sigma s}$	Tektronix TPP1000	Pasiva	1000	< 450 ps	423 V

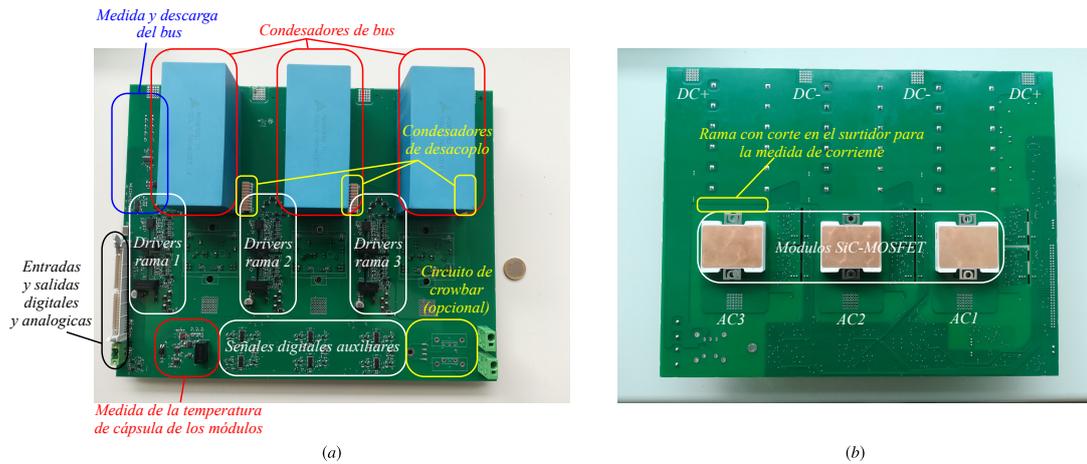


Figura 6.22: Diseño y disposición de los circuitos y componentes en el PCB mostrando (a) la cara superior y (b) inferior.

Al ser todas las sondas diferentes se ha realizado un proceso de calibrado previo calibrando temporalmente las sondas de tensión y verificando su respuesta dinámica y realizando una segunda calibración temporal de la sonda Pearson respecto a las sondas de tensión.

Las sondas de tensión Tektronix P5120 y TPP1000 se alinean temporalmente mediante la señal cuadrada del generador del propio osciloscopio Figura 6.23 (a). Con el fin de verificar que ambas sondas son capaces de medir la misma derivada de tensión se realiza una conmutación a 300V de bus (para no sobrepasar el rango dinámico de la sonda TPP1000) y se verifica que ambas sondas miden de la misma forma el transitorio de conmutación del MOSFET, Figura 6.23 (b).

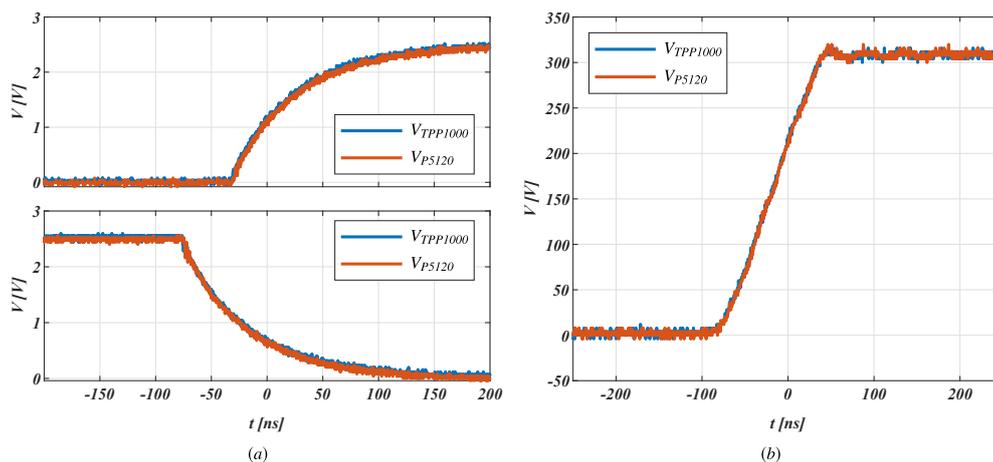


Figura 6.23: (a) Alineamiento temporal y (b) verificación dinámica de las sondas pasivas Tektronix P5120 y TPP1000.

Una vez realizada la calibración entre sondas de tensión, se disponen el resto de las sondas en el circuito tal y como se muestra en la Figura 6.24 y se alinea temporalmente la sonda

Pearson con la sonda TPP1000. Para ello, en una conmutación se mide la corriente mediante la sonda Rogowski y la tensión en la inductancia parásita por la cual circula la corriente mediante la sonda pasiva TPP1000. Al paso por cero de la corriente (i_{DS}), la tensión ($v_{L\sigma s}$) en la sonda ha de tener un valor máximo/mínimo y con este criterio se corrige el desfase entre ambas sondas, Figura 6.26 (b).

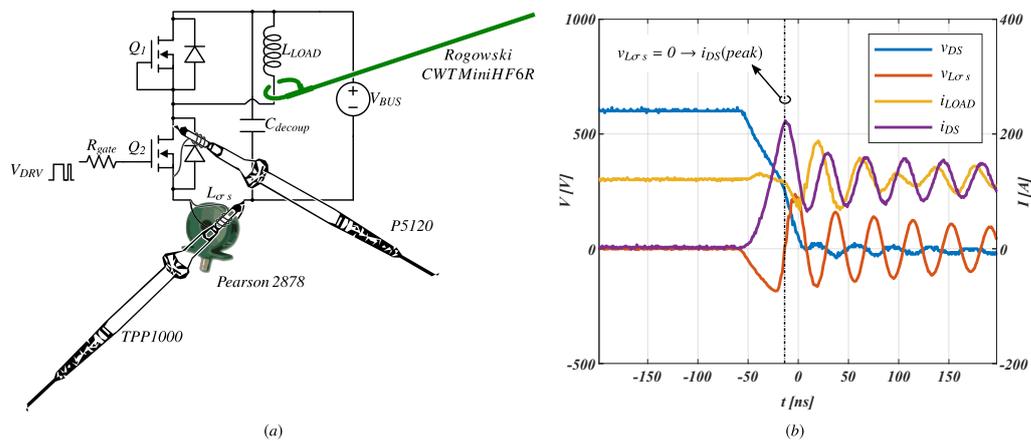


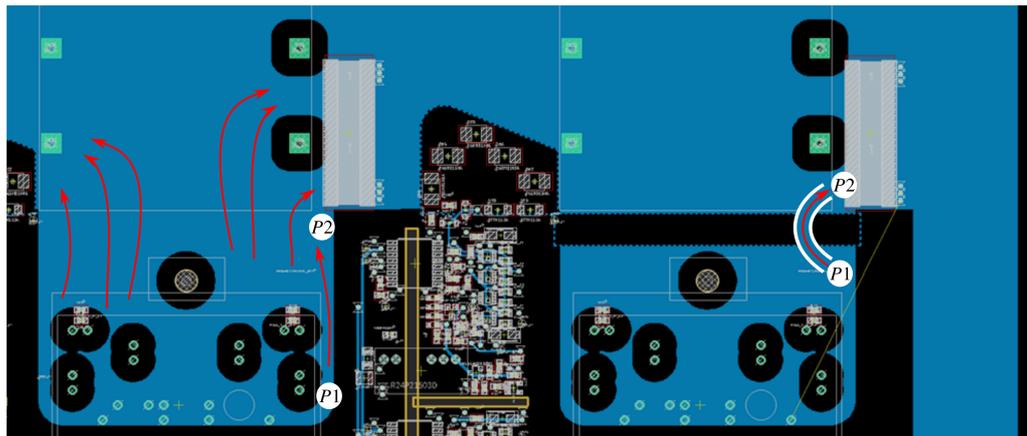
Figura 6.24: (a) Disposición de las sondas en el circuito y (b) alineamiento de la sonda Pearson.

Tras alienar todas las sondas se realizan ensayos de doble pulso para diferentes corrientes de carga, con una tensión de bus de 600 V (la misma que utiliza el fabricante en su hoja de datos). Además de la corriente de surtidor se mide la caída de tensión en la inductancia parásita en los puntos de medida mostrados en la Figura 6.25. De esta medida de tensión se estima la corriente que circula por la inductancia parásita.

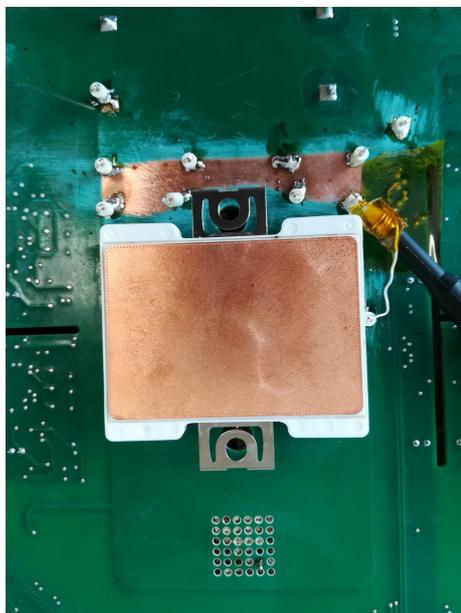
En los resultados obtenidos se observa que debido al corte se ha incrementado considerablemente la inductancia parásita y la respuesta resulta muy oscilante, tanto en el encendido como en el apagado, Figura 6.26. La sobretensión es de 935 V para una corriente de apagado de 216 A. Se observa también que tanto la respuesta de la sonda Pearson, como la del método de estimación de corriente propuesto son idénticas, lo cual valida este método de medida de corriente para medidas posteriores.

Con estas medidas se estiman las pérdidas de potencia en función de la corriente conmutada. Debido al corte, la inductancia del lazo de potencia es de en torno a 50 nH, lo que reduce las pérdidas de encendido respecto a las obtenidas por el fabricante, Figura 6.28 (a), ya que este reporta una inductancia de 35 nH en su circuito de ensayo [98]. El apagado, al hacerse con una inductancia mayor y con menos tensión de puerta, -3 V frente a los -5 V utilizados por el fabricante, el proceso de conmutación es más lento y con ello aumentan las pérdidas de apagado respecto a las pérdidas de potencia que proporciona el fabricante.

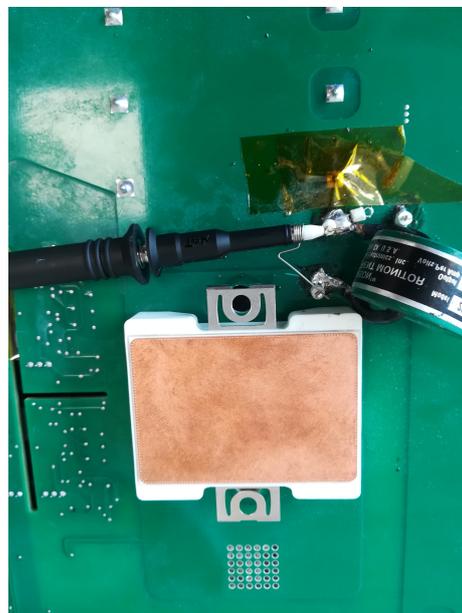
En el caso de la rama sin corte, Figura 6.27, al no poder insertar una sonda de corriente Pearson, la medida de corriente se hace únicamente con el método de corriente propuesto en



(a)



(b)



(c)

Figura 6.25: (a) Distribución de la corriente en el diseño del PCB para la rama sin corte y la rama con corte, (b) disposición de la medida real de la corriente en la rama sin corte y (c) disposición de la medida real de la corriente en la rama con corte.

Subsección 4.3.2. Se realiza el mismo proceso de estimación que en la medida anterior, pero en este caso la inductancia parásita donde se realiza la medida es mucho menor que en el caso anterior y que los 35 nH con los que he realizado sus ensayos el fabricante.

Al reducirse notoriamente la inductancia del circuito de potencia, la respuesta es muy poco oscilante, tanto en el encendido como en el apagado. En las pérdidas estimadas, Figura 6.28 (b), se observa un incremento de las de encendido respecto a la información de la hoja de características, debido a que la inductancia del lazo de potencia se ha reducido ahora en torno

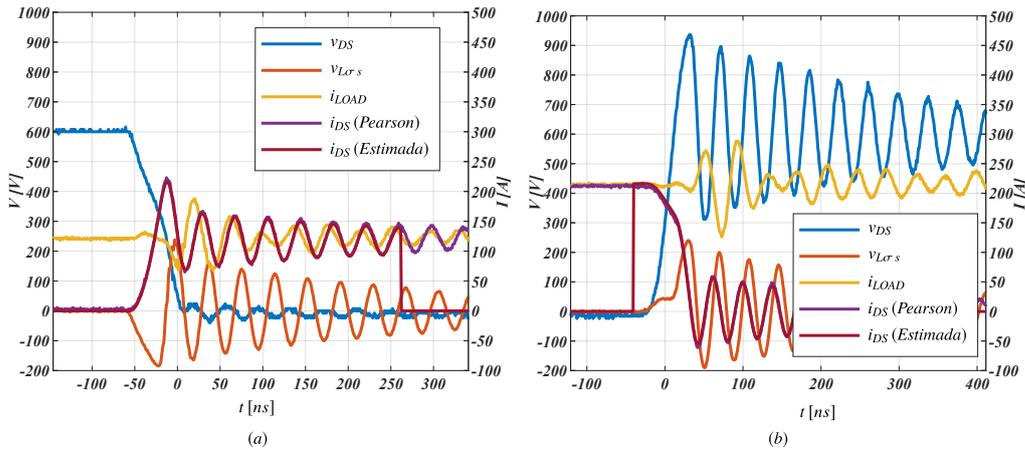


Figura 6.26: (a) Encendido y (b) apagado de la rama con corte y bus de 600V.

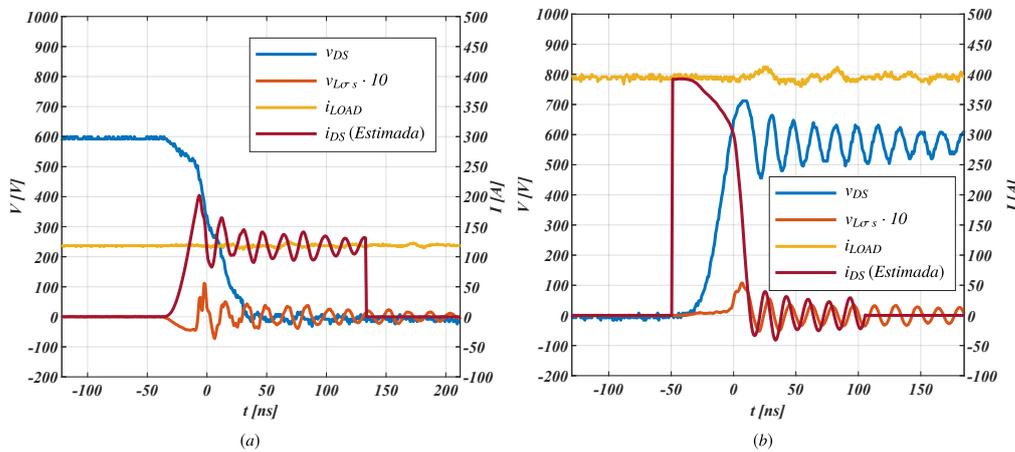


Figura 6.27: (a) Encendido y (b) apagado de la rama sin corte y bus de 600V.

a $7nH$. En el apagado, pese hacerse con menos tensión de puerta ($-3V$), la reducción de la sobretensión de apagado, ocasionada por un mejor layout, hace que las pérdidas en ambos casos sean parejas. Es importante reseñar que al carecer de más información sobre las medidas realizadas por el fabricante, no es posible matizar en las causas que provocan diferencias respecto a las pérdidas mostradas en el datasheet.

Una vez caracterizada la conmutación a $600V$, se realizan las mismas pruebas a $750V$ ya que esta es la tensión de bus del convertidor, Figura 6.29 (a). Es importante hacer notar que, de acuerdo a las medidas realizadas, las pérdidas de potencia a $750V$ de bus no incrementan linealmente con la tensión de bus. Esto exige volver a calcular las pérdidas generadas en el convertidor para garantizar que con el sistema de refrigeración utilizado todos los semiconductores funcionan de manera adecuada.

Las dinámicas de tensión y corriente medidas en la conmutación, Figura 6.29, son de hasta $24V/ns$ y $13A/ns$ al igual que las indicadas por el fabricante del módulo [98] y propias de

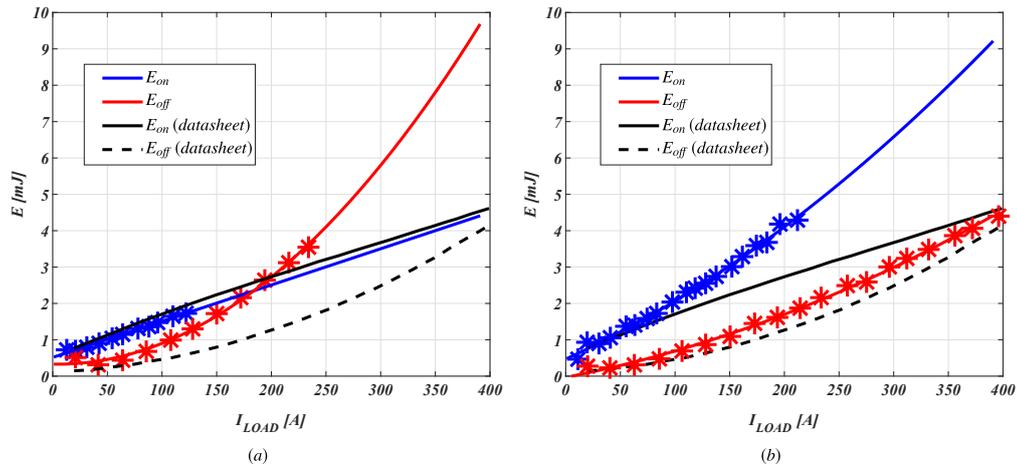


Figura 6.28: Pérdidas de conmutación frente a la hoja de datos de la (a) rama con corte y (b) rama sin corte.

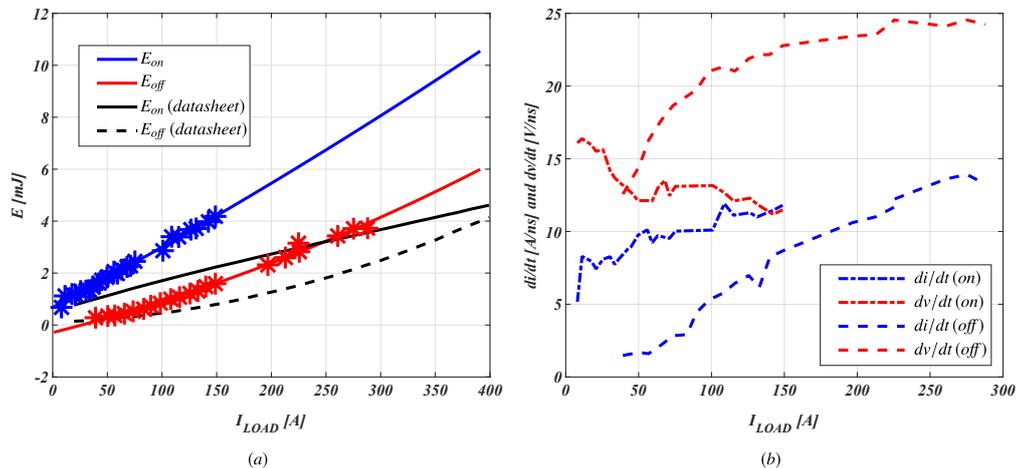


Figura 6.29: (a) Pérdidas de conmutación con tensión de bus de 750V frente a la hoja de datos de la rama sin corte y (b) dinámicas de conmutación.

la tecnología SiC. La sobretensión medida en el apagado conmutando la corriente nominal no supera los 860V en ningún caso, Figura 6.30 (a). Este dato es importante debido a que permite seleccionar el umbral de actuación del circuito de enclavamiento del driver de forma que únicamente entre a funcionar con corrientes superiores a la nominal.

Los MOSFETs de estos módulos no tienen diodos Schottky en antiparalelo y por lo tanto utilizan sus diodos *pn* como diodos volantes. Por ello, en el encendido del MOSFET, además de la corriente de carga ha de conducir la corriente de recuperación inversa del diodo complementario. La Figura 6.30 (b) muestra la corriente de pico que alcanza el MOSFET en su encendido en función de la corriente de carga conmutada. En este caso, para una corriente de 100A, esta corriente de pico alcanza aproximadamente los 200A. Estas medidas sí que se corresponden con la información que proporciona el fabricante en su datasheet.

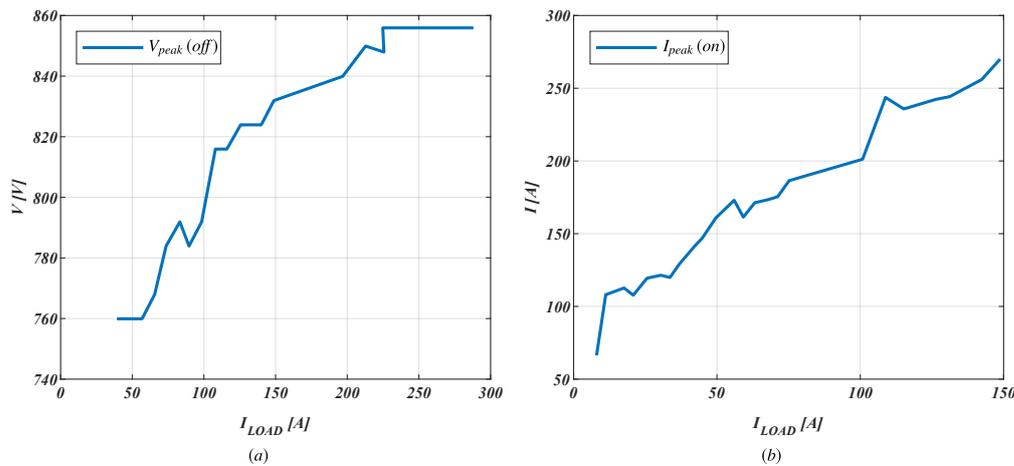


Figura 6.30: (a) Sobrecorriente en el encendido y (b) sobretensión en el apagado en función de la corriente de carga.

Por último, para verificar la protección ante faltas del driver y el circuito de enclavamiento, se somete al SiC-MOSFET a cortocircuitos del tipo I (falta existente antes del corto). La configuración del circuito de ensayo es igual a la mostrada en la Figura 6.31 (a), con la salvedad de que la carga (L_{LOAD}) pasa a ser una inductancia de $\approx 570 \text{ nH}$, de forma que si el driver no protege al MOSFET, la corriente de falta quede limitada en lo que dura el pulso de puerta. En estas pruebas, se miden la tensión de puerta-surtidor, la tensión del pin del driver (DESAT) que monitoriza de la desaturación (v_{DST}), y la tensión y corriente drenador-surtidor. Para probar el circuito de protección, se aplica un único pulso estrecho de al menos $2 \mu\text{s}$, ya que de apagarlo antes de que entre la protección de soft turn off (STO) se provoca una gran di/dt y por consiguiente una gran sobretensión. De esta manera se provoca que la protección DESAT detecte que el MOSFET está desaturado y el driver apague de forma lenta y segura el transistor para evitar fuertes di/dt -s y sobretensiones que provoquen la ruptura del dispositivo (Figura 6.31 (b)).

El circuito de detección (área verde) monitoriza la tensión de v_{DS} . Cuando la tensión en DESAT (v_{DST}) supera los 9 V se detecta la falta y comienza el apagado suave (STO) del MOSFET. El circuito de protección (área amarilla) hace que la tensión v_{DS} quede enclavada a una tensión determinada por los cinco dispositivos TVS, el apagado suave (STO) del OUTL de núcleo y la realimentación de parte de la corriente a la entrada del buffer de corriente tal y como se explica en la Subsección 5.5.2.

Se utilizan cinco TVS-s para el reparto de la tensión de enclavado. Debido a la resistencia dinámica de los TVS-s se supera la tensión de codo V_{BR} de cada uno de ellos, superando la tensión de enclavado teórica. En la Figura 6.32 se muestra una comparativa entre dos configuraciones de TVS-s. La Figura 6.32 (a) muestra el resultado con 5 TVS-s iguales cuya tensión de ruptura es igual a 180 V, pero debido a la resistencia dinámica de los propios TVS-s, la tensión

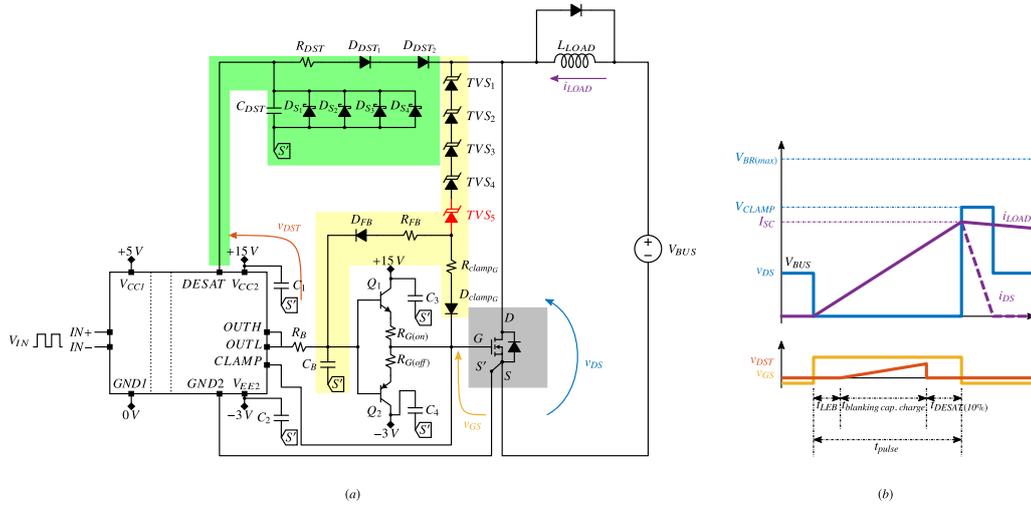


Figura 6.31: (a) Circuito de corto evaluado y (b) formas de onda ideales para el enclavado de la tensión v_{DS} .

no se enclava a una tensión próxima a la de diseño ($900V$) sino que alcanza valores cercanos a los de ruptura del SiC-MOSFET. De hecho, el ensayo se detiene con una tensión de bus de $720V$ y no se aumenta a $750V$ por riesgo a romper el módulo. La Figura 6.32 (b) muestra el resultado para una configuración con un valor teórico de enclavado igual a $850V$. Con esta configuración el valor de tensión máximo en bornes de drenador-surtidor es de aproximadamente $1kV$ para una corriente detectada ($v_{DST} = 9V$) de $1,22kA$. Como contrapartida, al reducir la tensión V_{BR} total de los TVS, la protección puede entrar brevemente durante conmutaciones normales, donde se alcanzaban los $860V$, aumentando las pérdidas en los TVS-s. También el tiempo total de la extinción de corto se incrementa hasta los $2,5\mu s$, por lo que habría que valorar si reducir el valor del condensador que establece el tiempo de blanking (C_{DST}) en la Figura 6.31 (a). La reducción de este valor, ya de por sí bajo ($39pF$), puede provocar falsas detecciones al ser el pin de detección v_{DST} más vulnerable a dv/dt -s.

A nivel funcional se ha evaluado el convertidor PSFB en las instalaciones de Ingeteam (Sarriguren) mediante la plataforma experimental mostrada en la Figura 6.33. Mediante esta plataforma se han podido evaluar las formas de onda analizadas en la Subsección 6.1.2 controlando la potencia suministrada a una carga programable de $10kW$.

Estos ensayos se han realizado con un bus de $600V$ por limitaciones de la fuente de alimentación. En la Figura 6.34 (a) se pueden observar las tensiones y corrientes por el primario del transformador y por uno de los secundarios, siendo su corriente:

$$i_{sec.} = \frac{i_{prim.} \cdot \frac{n_1}{n_2}}{N} = \frac{i_{prim.}}{2} \tag{6.68}$$

donde N es el número de secundarios, 4 en este caso. Se observa una sobretensión con osci-

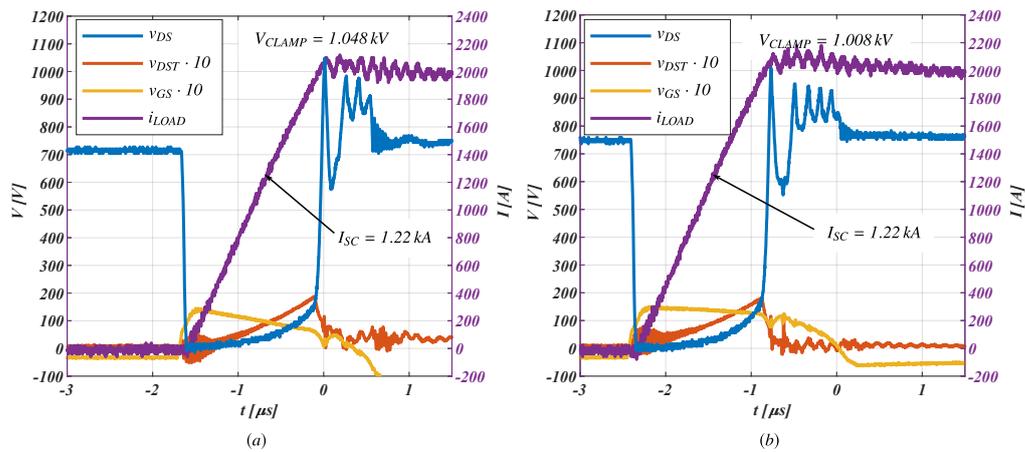
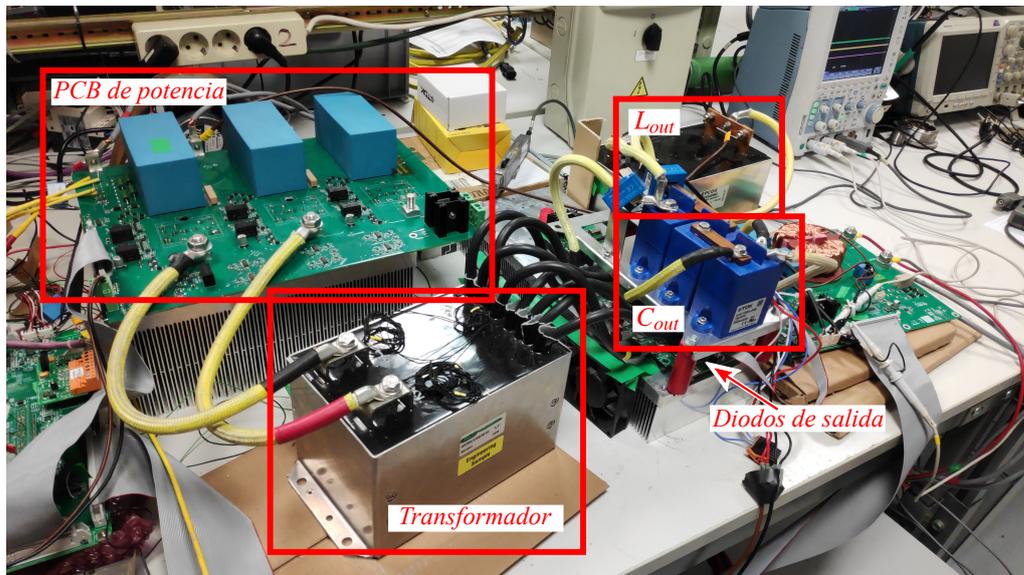


Figura 6.32: Resultados del ensayo de corto con (a) 5 TVS-s de 180 V a $V_{BUS} = 720\text{ V}$ y (b) 4 TVS-s de 180 V más 1 TVS de 130 V a $V_{BUS} = 750\text{ V}$.



(a)

Figura 6.33: Plataforma de evaluación funcional del convertidor PSFB.

lación en las tensiones del secundario debida a la interacción entre las inductancias y capacidades parásitas del transformador y de los diodos de salida. Esta sobretensión aparece en los secundarios del transformador, pero también se refleja entre los terminales de los diodos. Por ello, en el diseño final (no abordado en esta tesis) se incluyen limitadores o enclavados de la tensión en los rectificadores de salida.

En la Figura 6.34 (b) el rizado de corriente de salida es menor que en el obtenido en la simulación ya que la tensión de bus utilizada es menor a la de diseño, 600 V frente a 750 V, y de esta manera también la tensión en los secundarios del transformador. Por lo tanto, los

rizados de corriente y tensión de salida son los esperados.

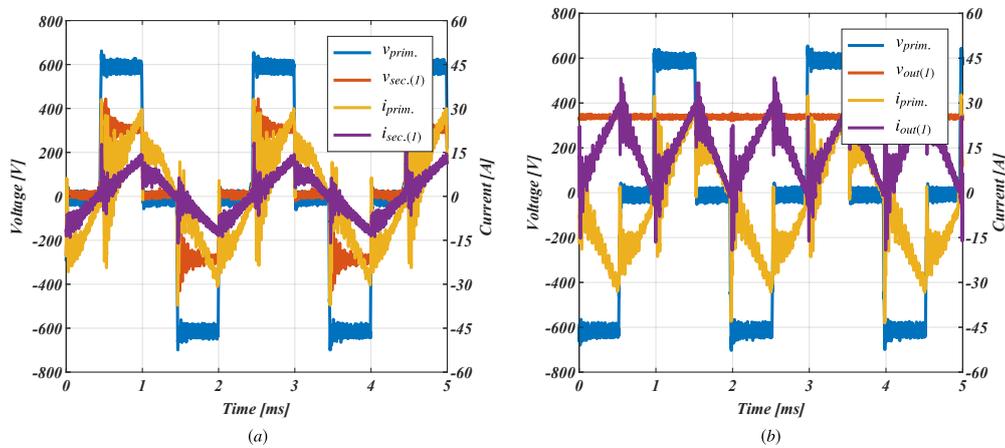


Figura 6.34: Tensiones y corrientes en primario y uno de los secundarios del transformador de potencia y en el primario y salida (b) del PSFB con bus de 600 V (a) entregando 10 kW de potencia.

Por último, en la Figura 6.35 (a) se puede observar el módulo de dos convertidores PSFB montados en paralelo para suministrar 200 kW y su disposición dentro del armario de recarga Figura 6.35 (b) junto con el sistema de refrigeración. Se puede observar como se dispone de un hueco en el armario para poder integrar otro módulo de 200 kW, llegando el conjunto a los 400 kW, siendo la densidad de potencia del conjunto unas 8 veces mayor que el modelo *Ingerev RAPID 50* de la misma empresa basado en tecnología de silicio.

6.4 Conclusiones

La integración de los dispositivos de carburo de silicio en equipos de potencia no solo tiene impacto en su gobierno y refrigeración, sino que impacta en todos los elementos que conforman el convertidor. Por un lado el aumento de frecuencia de conmutación implica que los componentes pasivos (condensadores, bobinas y transformadores) se reduzcan para una misma impedancia, pero por otro lado estos deben poder trabajar con corrientes eficaces por encima de los 100 A y en muchos casos los fabricantes de condensadores no reportan el comportamiento a frecuencias por encima de los 50 kHz.

Los elementos parásitos de todo el circuito de potencia cobran mayor peso al ser excitados con transitorios de corriente y tensión que duran decenas de nanosegundos. En especial se ha observado que es necesario un buen layout y desacoplo que permita minimizar la inductancia parásita del circuito de potencia. Para ello las herramientas de diseño de PCBs, con la posibilidad de utilizar varias capas, permiten una libertad de diseño que los embarrados de potencia no permiten, pero a costa de tener que evaluar térmicamente el reparto de corriente entre las diferentes capas.



(a)



(b)

Figura 6.35: Integración de dos convertidores PSFB en paralelo (a) y dimensiones del poste de recarga (b) en las instalaciones de Ingeteam (Sarriguren).

En general se ha demostrado que la tecnología SiC permite aumentar la densidad de potencia en convertidores de potencia pero también aumenta la complejidad del diseño y selección de los componentes.

Capítulo 7

Conclusiones y líneas futuras

7.1 Conclusiones

Las contribuciones de esta tesis están relacionadas con la caracterización, gobierno e implementación de dispositivos de carburo de silicio en aplicaciones de potencia pulsada.

Durante este trabajo se ha podido observar que los dispositivos unipolares (diodos Schottky y MOSFETs) de carburo de silicio son una alternativa real a dispositivos bipolares de silicio (diodos rápidos e IGBTs) en el rango de 1200 V a 1700 V y se espera que lo sean para tensiones mayores en un futuro cercano. La principal ventaja de estos dispositivos es la posibilidad de conmutar a frecuencias mayores debido a sus menores capacidades interelectrónicas y al hecho de ser dispositivos unipolares (sin corriente de cola como los IGBTs y sin apenas corriente de recuperación como los diodos rápidos), lo que tiene un impacto directo sobre el diseño de los elementos pasivos y la refrigeración del convertidor.

A nivel experimental se han evaluado las características estáticas y dinámicas de los SiC-MOSFETs y SiC-SBD, de cuyo análisis se extraen algunas conclusiones reseñables.

Los SiC-MOSFETs presentan una característica de salida sin tensión umbral lo que los hace mejores conductores que los IGBTs de silicio hasta la corriente nominal para un mismo calibre de corriente y tensión de ruptura. Además, su característica de salida tiene un coeficiente positivo de temperatura, lo que los hace idóneos para su paralelado al equilibrarse las corrientes de forma natural durante la conducción. A diferencia de los MOSFETs de potencia de silicio, los SiC-MOSFET tienen un canal de puerta-surtidor corto por construcción debido a la reducción de material del chip, lo que implica una reducción de la tensión umbral de puerta notoriamente mayor que para los Si-MOSFET a medida que aumenta la tensión drenador-surtidor. Este fenómeno (DIBL) provoca que la corriente de drenador para una tensión de puerta sea muy dependiente de la tensión de drenador. Esto impacta directamente en la curva de cargas de puerta, más concretamente en la región de Miller, haciendo que esta no sea plana. De este modo, no es posible desacoplar los intervalos de tiempo donde se producen las transiciones de corriente y tensión con el empleo de un simple condensador entre puerta y surtidor (tran-

sitorio de corriente) y entre puerta y drenador (transitorio de tensión) tal y como ocurría en el caso de los MOSFETs de silicio.

Mediante los ensayos realizados se ha comprobado que las dinámicas de tensión y corriente de los dispositivos SiC se encuentran en el rango de los nanosegundos para los dispositivos discretos y las decenas de nanosegundos para los módulos. Esto implica una reducción sustancial de las pérdidas de conmutación con respecto a la tecnología de silicio pero también un reto en la medida de transitorios; cálculo de pérdidas de conmutación, valores de sobretensiones y oscilaciones. Es necesario por tanto que el ancho de banda de las sondas de corriente y tensión sean del orden de 200MHz - 1GHz para ser capaz de medir fielmente las formas de onda de ambas variables sin distorsionarlas. Este requisito, unido a la necesidad de aislamiento entre osciloscopio y equipo a medir, hace que la instrumentación necesaria sea muy específica y costosa. En este trabajo se ha propuesto un método de medida sencillo y asequible basado en la medida de la caída de tensión en la inductancia parásita del circuito de potencia para poder caracterizar la conmutación.

Aunque la temperatura máxima de operación de la tecnología SiC es aproximadamente de 300°C , los encapsulados actuales la limitan a valores de 150°C - 175°C , similares al límite del silicio. En los semiconductores unipolares como los diodos Schottky y los MOSFETs el incremento de temperatura aumenta la resistencia del chip, incrementando las pérdidas de conducción. En cambio, las pérdidas de conmutación no son tan dependientes de la temperatura en estos dispositivos, si bien para corrientes por encima de la nominal los diodos Schottky sí que presentan recubrimiento. En la literatura es común encontrar que este recubrimiento es prácticamente nulo y únicamente dependiente de la tensión y la capacidad parásita del diodo. Sin embargo, estos diodos contienen pozos de material p para la distribución interna del campo eléctrico cuando se encuentran en bloqueo, y tal y como se ha observado mediante ensayos, debido a la activación de la unión pn entre los pozos de material p y el material n del diodo cuando se encuentra en conducción de altas corrientes se produce un incremento de la corriente de recubrimiento durante la conmutación de apagado que se agudiza con el incremento de la temperatura.

Por otra parte, en este trabajo se ha diseñado un driver de puerta capaz de gobernar la conmutación de dispositivos discretos y módulos SiC-MOSFET. Este driver se ha validado controlando la conmutación en los tiempos reportados por el fabricante y siendo capaz de extinguir una falta mientras mantiene la integridad del dispositivo en 2 microsegundos.

A nivel de aplicación se ha dimensionado, diseñado y evaluado un cargador de vehículos eléctricos capaz de suministrar hasta 100kW de potencia. Todo el diseño se ha realizado sobre un PCB de potencia de 6 capas para reducir las inductancias parásitas de los lazos de puerta y potencia.

7.2 Líneas futuras de investigación

Las líneas futuras de investigación que se abren con este trabajo son las relativas a la evaluación de los nuevos dispositivos de banda prohibida ancha y a su aplicación.

A nivel de dispositivos, para tensiones menores a 650V la aparición de dispositivos GaN normalmente apagados que permiten frecuencias de conmutación mucho mayores que los MOSFETs de silicio permitirá la miniaturización de convertidores con el consiguiente reto en cuanto a densidad de potencia. Los dispositivos SiC de 3300V abren también la puerta a su aplicación en otros sectores como la tracción ferroviaria y la aerogeneración.

Centrándose en el cargador diseñado, se estima interesante una evaluación continuada en operación del mismo, realizando medidas para evaluar su rendimiento energético en diferentes puntos de operación. Conviene también realizar una evaluación en cuanto a EMIs, ya que los componentes armónicos debidos a los transitorios de corriente y tensión interactúan con los elementos parásitos, por lo que se deben revisar los puntos críticos del convertidor en cuanto a oscilaciones y posibles caminos de acoplamiento. Finalmente, al ser una tecnología relativamente joven, es necesario realizar una evaluación sobre la vida útil de los componentes del cargador, tanto semiconductores, como elementos adyacentes (PCB, condensadores, transformador) ya que los niveles de operación en tensión, corriente, frecuencia y temperatura pueden llegar a degradar prematuramente el sistema completo o alguna de sus partes.

Apéndice A

Núcleos aislados de driver y drivers completos para SiC-MOSFET

Tabla A.1: Núcleos aislados de driver para SiC-MOSFET

Fabricante	Referencia	Funcionalidades									
		Propagación (d) retard alto, bajo (r) rise time (f) fall time	UVLO	Desaturación V_m, Y, t_{delay}	Soft Turn-Off*	Umbral clamp de Miller	Rango de tensión salida (V) ($V_{cc2}-V_{ee2}$)	Corriente pico suministrada/drenada (A)	Aislamiento (V_{rms})	CMTI (kV/ μ s)	2 canales
Avago	ACPL-332J	(d) 180 ns, 180 ns (r/f) 50 ns, 50 ns	+10,3V	6,5V, 300 ns	LRTO	Vee2 +2V	30	2,5/2,5	1230	50	No
Avago	HCPL-316J	(d) 300 ns, 320 ns (r/f) 100 ns, 100 ns	+11,1V	7V, 300 ns	LRTO	N/A	30	2,5/2,5	891	15	No
Fairchild	FOD8318	(d) 300 ns, 2500 ns (r/f) 34 ns, 34 ns	+10V	(th) 7V, (r) 850 ns	LRTO	Vee2 +2,2V	30	2,5	1414	35	No
Toshiba	TLP5214	(d) 85 ns, 90 ns (r/f) 32 ns, 18 ns	+10,3V	(th) 6,5V, (r) 180 ns	LRTO	Vee2 +3V	30 (35)	-4/4	5000 (max)	35	No
Infineon	1ED020112	(d) 170 ns, 165 ns (r/f) 30 ns, 50 ns	+11V	(th) 9V, (r) 350 ns	N/A	Vee2 +2,1V	28	-2/2	1200	100	No
ROHM	BM6102FV-C	(d) 150 ns, 150 ns (r/f) 50 ns, 50 ns	+11,5V	(th) 10V, (r) 3250 ns	2LTO	Vee2 +2V	25	4,5	2500	100	No
STMicro	STGAP1S	(d) 100 ns, 100 ns (r/f) 25 ns, 25 ns	+13V-2V	(th) 10V, (r) 100 ns	2LTO	GND +2V	40	-5/5	1500	50	No
Analog Devices	ADuM4120-1	(d) 33 ns, 43 ns (r/f) N/A, N/A	+11,3V	N/A	N/A	N/A	4,5-3,5	-2,3/2,3	5000	150	No
Texas Instruments	ISO5852S-Q1	d) 76 ns, 76 ns (r/f) 18 ns, 20 ns	+11V	(th) 9V, (r) 553 ns	LRTO	Vee2 +2V	15-30	-2,5/5	5700	100	No
Texas Instruments	ISO5451	d) 76 ns, 76 ns (r/f) 20 ns, 20 ns	+11V	(th) 9V, (r) 500 ns	N/A	Vee2 +2,5V	15-30	-2,5-5	5700	100	No
Silicon Labs	SI8275	d) 30 ns, 30 ns (r/f) 10,5 ns, 13,3 ns	+10,8V	N/A	N/A	N/A	4,2-30	-1,8/4	3000	200	Si
Infineon	1ED160N12AF	N/A	N/A	N/A	N/A	N/A	10-35	-9,4/10	1200	100	No
Infineon	1EDU20112SV	d) 500 ns, 485 ns	+10,4V	(th) 9V, (r) 400 ns	LRTO	N/A	-0,3-20,3	2/6(10)	1420	50	No

* LRTO consiste en aumentar la resistencia de apagado cientos de veces más de lo normal cuando se activa el apagado suave, mientras que 2LTO utiliza tensiones de apagado de dos niveles.

Tabla A.2: Drivers comerciales completos para SiC-MOSFET

Fabricante	Referencia	Funcionalidades	UVLO	Desaturación	Soft Turn-Off*	Clamp de Miller activo	Rango V_o (V) ($V_{cc2} \cdot V_{cc2}$)	Corriente suministrada/absorbida (A)	Tensión de Aislamiento (V_{RMS})	CMTI ($kV/\mu s$)
On Semiconductor	NCP51705 (discretos TO-247)	Tiempo de propagación (d) delay high, low (r) rise-time (f) fall-time	+17V	(th) 7,5V	-	-	20	-	-	-
Wolfspeed	CGD15HB62LP	d) 75 ns, 75 ns (r/f) 250 ns, 140 ns	+12V	Protección sobrecorriente	LRTO	-	+18/-5	14	1500	100
Wolfspeed	CGD15HB62P1	d) 300 ns, 300 ns (r/f) 65 ns, 50 ns	SI (sin info.)	(th) 4,7V	-	-	16	9	1200	50
Wolfspeed	PT62SCMD17*	d) 100 ns, 100 ns (r/f) 85 ns, 30 ns	+18V	(th) 6,5V, 1000 ns	-	No.	+20/-6	20	1700	100
AgileSwitch	62EMI	d) 200 ns, 200 ns (r/f) 80 ns, 90 ns	20V	(th) 8,25V, 1500 ns	2LTO	No.	18	20	1200	100
Microsemi	MSCSICMDD/REF1	-	+11V	(th) 9V, 300 ns	-	No	+20/-5	~30	2000	100
Texas Instruments	TIDA-01605	(r/f) 23 ns, 27,6 ns	SI (No info.)	(th) ~12V, 600 ns	2VLTO	No.	+15/-4	+6/-4	5700	100
ROHM	BM60052FV-C	d) 100 ns, 100 ns (r/f) 100 ns, 100 ns	+18V	4V	SI (No info.)	-	28	+8,5/-7,5	1200	-

Índice de figuras

Figura 1.1	Dispositivos de potencia utilizados en diferentes aplicaciones en función de su de potencia y frecuencia.	2
Figura 1.2	Ensayos preliminares de conmutación: (a) problemática del alineamiento temporal de sondas de tensión y corriente en el encendido y (b) oscilaciones debidas a exceso de inductancia parásita en el circuito de potencia.	3
Figura 2.1	Diagrama de bandas de energía de metal y semiconductor tipo n con $q\phi_n$ menor que $q\phi_m$ (a) antes y (b) después de realizar el contacto . .	10
Figura 2.2	Diagrama de bandas de energía de la unión metal-semiconductor tipo n con $q\phi_n$ menor que $q\phi_m$ (a) con polarización directa y (b) con polarización inversa.	11
Figura 2.3	(a) Símbolo, (b) estructura y (c) característica de salida del Diodo Schottky	11
Figura 2.4	Transitorio de apagado del Diodo Schottky	12
Figura 2.5	Diagrama de bandas de energía de una unión pn (a) antes y (b) después de unir ambos materiales p y n	13
Figura 2.6	Diagrama de bandas de energía de una unión pn en (a) polarización directa y (b) polarización inversa.	14
Figura 2.7	(a) Símbolo, (b) estructura y (c) característica de salida del Diodo PiN-FRD.	15
Figura 2.8	Característica de apagado del Diodo PiN-FRD.	17
Figura 2.9	(a) Símbolo y estructuras del MOSFET: (b) lateral y (c) vertical.	17
Figura 2.10	Modos de operación del MOSFET: (a) bloqueo, (b) zona activa, (c) pinch-off y (d) zona resistiva.	19
Figura 2.11	Características estáticas del MOSFET: (a) Transferencia y (b) característica de salida.	20
Figura 2.12	(a) Estructura vertical y (b) capacidades parásitas en el circuito equivalente interno del MOSFET.	21

Figura 2.13	Dependencia de las capacidades interelectrónicas con respecto a la tensión entre drenador y surtidor.	21
Figura 2.14	Circuito de conmutación inductivo mostrando las capacidades parásitas del MOSFET.	22
Figura 2.15	Evolución temporal del encendido y apagado de un MOSFET.	22
Figura 2.16	Proceso de encendido a través del dispositivo MOSFET.	22
Figura 2.17	Estructuras verticales de (a) MOSFET estándar y (b) SJ-MOSFET en bloqueo.	26
Figura 2.18	(a) Símbolo, (b) estructura y (c) capacidades parásitas en el circuito equivalente interno del IGBT.	27
Figura 2.19	Características estáticas del IGBT: (a) Transconductancia y (b) salida.	27
Figura 2.20	Comparativa de conmutación con carga inductiva entre un MOSFET y un IGBT.	28
Figura 2.21	Circuito equivalente del IGBT.	28
Figura 2.22	Característica típica de los tiempos de conmutación en función de la resistencia de puerta R_G [9].	29
Figura 2.23	Estructuras del IGBT: (a) PT-IGBT, (b) NPT-IGBT y (c) TFS-IGBT.	30
Figura 2.24	Bandas de energía de (a) un metal, (b) un semiconductor y (c) un aislante.	31
Figura 2.25	Heteroestructura AlGa _N /Ga _N mostrando (a) las polarizaciones y (b) las bandas de energía.	33
Figura 2.26	Banda de energía del AlGa _N con dopado de tipo n (a). Los electrones se ven atraídos por el campo eléctrico de la polarización (b), doblando la banda de energía y dejando cargas positivas fijas en la superficie de Al-GaN (c).	34
Figura 2.27	Banda de energía de una heteroestructura AlGa _N /Ga _N con dopado n. Al entrar en contacto con una capa de Ga _N (a), los electrones fluyen hacia el Ga _N y (b) se acumularán en la interfaz y formarán 2DEG.	34
Figura 2.28	(a) Símbolo y (b) estructura del Ga _N HEMT.	36
Figura 2.29	Soluciones para un Ga _N HEMT normalmente apagado: (a) estructura del Ga _N HEMT con capa p^+ y (b) configuración cascodo con MOSFET de silicio.	38
Figura 2.30	Estructuras verticales de (a) diodo y (b) FET normalmente apagado de Ga _N	39
Figura 2.31	Estructura atómica de los politipos SiC más utilizados en electrónica de potencia. Las esferas rojas representan iones con carga positiva y las azules con carga negativa [52].	40

Figura 2.32	Principales problemas de fabricación de dispositivos SiC: (a) micro-pipes y (b) stacking faults [30].	41
Figura 2.33	Comparación entre diodos Schottky de Si y SiC y la distribución del campo eléctrico en su zona de deriva.	42
Figura 2.34	Comparativa de dispositivos Si vs. SiC en función de su tensión de ruptura y madurez tecnológica.	43
Figura 2.35	Estructura básica del diodo SiC-JBS.	44
Figura 2.36	Característica de salida del diodo SiC-MPS.	45
Figura 2.37	(a) Estructura básica del SiC-JFET y (b) característica de transferencia.	48
Figura 2.38	(a) Símbolo, (b) configuración y (c) característica de transferencia del JFET en cascodo con MOSFET de silicio.	49
Figura 2.39	Estructuras SiC: (a) DMOSFET, (b) MOSFET de trinchera y (c) MOSFET de doble trinchera.	50
Figura 2.40	Característica de transferencia (a) y efecto DIBL del SiC-MOSFET (b).	51
Figura 2.41	Característica de salida del SiC-MOSFET.	52
Figura 2.42	Característica de carga de puerta del SiC-MOSFET.	53
Figura 2.43	Característica de salida del diodo de cuerpo SiC-MOSFET.	54
Figura 2.44	(a) Estructura de SiC-BJT [89] y (b) característica de salida [90]	55
Figura 2.45	Estructura de un SiC-IGBT de 22 kV [93].	56
Figura 3.1	Circuito para la obtención de la característica de transferencia del MOSFET (a) y resultados (b).	62
Figura 3.2	Conmutación de apagado lento del SiC-MOSFET C2M0160120D con detalle en la meseta de Miller.	63
Figura 3.3	Característica de salida del MOSFET SCT3160KL a diferentes temperaturas y tensiones de puerta.	64
Figura 3.4	(a) Esquema del circuito de ensayos para la comparación de la característica de salida del diodo Schottky y del MOSFET en inversa y (b) resultados.	65
Figura 3.5	Circuito de ensayo DPT (a) y formas de onda a analizar (b).	66
Figura 3.6	Encendido del SiC-MOSFET C2M0160120D comparando la respuesta de los diodos de cuerpo y SiC-SBD con dinámica lenta (a) y con dinámica rápida (b) para diferentes corrientes de carga.	67
Figura 3.7	Influencia de la temperatura sobre la corriente de encendido del SiC-MOSFET.	68
Figura 3.8	Circuito con condensador externo, $C_{GS(ext)}$, para ralentizar la dinámica de corriente (a) y (b) resultado de encendido.	69
Figura 3.9	Circuito equivalente de puerta con C_{GS}	70

Figura 3.10	Conmutación de apagado del SiC-MOSFET (a) lenta y (b) rápida.	71
Figura 4.1	Respuesta dinámica de las sondas evaluadas.	77
Figura 4.2	Divisor RC para la medida de la tensión (v_{DS}).	78
Figura 4.3	Divisor RC para la medida de la tensión (v_{DS}).	81
Figura 4.4	Respuesta frecuencial de los divisores de tensión evaluados.	82
Figura 4.5	Métodos de cancelación de ruido en sondas Rogowski (a) restado de medida de ruido y (b) cambio de ángulo de la sonda.	84
Figura 4.6	Medida del proceso de apagado de un SiC-MOSFET: (a) Tensión y corriente medida con shunt en ambos ensayos, (b) medida de corriente con sonda Rogowski aplicando el método de restado del ruido y (c) medida de corriente con sonda Rogowski aplicando el método de cambio de ángulo.	85
Figura 4.7	Procedimiento de medida de la corriente por el MOSFET: (a) Medida de la tensión en la inductancia y (b) método de ajuste para la estimación de la corriente.	88
Figura 4.8	(a) Configuración final del divisor de tensión propuesto, (b) su diseño en PCB y (c) su validación.	89
Figura 4.9	Banco de ensayos con los métodos de medida de tensión y corriente propuestos.	90
Figura 4.10	Medida del transitorio de la tensión v_{DS} en el (a) encendido y el (d) apagado. Comparativa de las corrientes medidas con la resistencia shunt coaxial, la sonda Pearson y el método propuesto en el (b) encendido y el (e) apagado. Pérdidas de conmutación estimadas para el (c) encendido y el (f) apagado.	90
Figura 4.11	Comparativa de las medidas de corriente con la shunt coaxial y el método propuesto durante los transitorios de (a) encendido y (b) apagado.	91
Figura 4.12	Pérdidas de energía calculadas utilizando las medidas de los métodos propuestos y pérdidas de energía en conmutación proporcionadas por el fabricante.	92
Figura 5.1	Características de salida del Si-IGBT y del SiC-MOSFET a diferentes tensiones de puerta frente a un cortocircuito (a) y la dependencia de tiempo de cortocircuito en SiC-MOSFETs frente a la tensión de puerta y drenador (b).	96
Figura 5.2	Área segura de tensiones de apagado en función de la frecuencia de conmutación [84].	97

Figura 5.3	Corriente de de puerta (a) y configuraciones para amplificar la corriente de puerta en base a tecnología CMOS (b) y transistores BJT (c)	99
Figura 5.4	Configuraciones de aislamiento de drivers para SiC-MOSFETS: (a) Un optoacoplador para una rama, (b) dos optoacopladores para una rama, (c) con transformador y (d) capacitivo.	104
Figura 5.5	Circuito auxiliar para variar la tensión de la protección UVLO.	105
Figura 5.6	Corriente de puerta a causa de la derivada de tensión entre drenador-surtidor (Encendido Miller).	106
Figura 5.7	Esquemático del driver mostrando la conexión directa de la protección de Miller a la puerta del SiC-MOSFET (a) y detalle del circuito interno de la protección de Miller en el núcleo (b).	107
Figura 5.8	Circuito básico de enclavado activo.	108
Figura 5.9	Circuito de enclavado del driver sin C_b (a) y con C_b (b).	110
Figura 5.10	Circuito de enclavado del driver con circuito de realimentación.	111
Figura 5.11	Esquemático del driver resaltando los condensadores de desacoplo en rojo y el plano de masa en amarillo y las zonas sin plano en gris (a), diseño PCB realizado con las mismas pautas (b) y circuito equivalente de puerta (c).	112
Figura 5.12	Circuito equivalente de puerta para el SiC-MOSFET C3M0120100K (a) y respuesta ante un transitorio de encendido para varios valores de inductancia parásita (b).	113
Figura 5.13	Detalle del esquemático del driver con los criterios de diseño para minimizar el acople capacitivo en la protección DESAT.	114
Figura 5.14	Circuito de driver completo. Subrayado en verde el circuito de DESAT y subrayado en amarillo el circuito responsable del enclavado de la tensión V_{DS} : azul con C_B y rojo con circuito de realimentación	114
Figura 5.15	Circuito de detección de desaturación (a) y evolución de la tensión v_{DST} en caso de falta (b).	115
Figura 5.16	Detección de cortocircuito con del ISO5852S-Q1 y $C_{blanking} = 45 pF$	116
Figura 5.17	Resultados sin (a) y con (b) el condensador de base (C_B) en el circuito de driver y (c)(d)(e) resultados con diferentes valores de R_{FB} en el circuito de enclavado con realimentación.	117
Figura 5.18	Resultados con y sin el condensador de base (C_B) en el circuito de driver con el circuito de enclavado con realimentación.	118

Figura 6.1	Arquitectura típica de cargadores eléctricos, con etapa AC/DC con topología (a) rectificador de diodos, (b) AFE, (c) Viena y etapa DC/DC con topología (d) PSFB y (e) resonante LLC.	122
Figura 6.2	Similitudes entre los diseños AFE (a) y PSFB (b).	123
Figura 6.3	Topología del convertidor AFE.	124
Figura 6.4	(a) Sistema equivalente de la conexión <i>a</i> del convertidor AFE entre red y convertidor y (b) modelo del condensador de BUS y carga para el convertidor AFE.	126
Figura 6.5	Esquemático del convertidor PSFB (a) y órdenes de control a sus transistores (b).	129
Figura 6.6	Estados de conducción del convertidor PSFB.	130
Figura 6.7	Corrientes y tensiones de las inductancias y corrientes a través de los condensadores del convertidor PSFB.	132
Figura 6.8	Convertidor PSFB diseñado con posibilidad de configurar las salidas $V_{out(1)}$ y $V_{out(2)}$ en serie o paralelo.	134
Figura 6.9	Modelo del convertidor PSFB en Simulink Simpower System.	135
Figura 6.10	Modulación (a) y del control (b) implementados en el modelo del convertidor PSFB.	136
Figura 6.11	Resultados de simulación del PSFB con consigna de tensión de 800 V con cambio de demanda de potencia.	136
Figura 6.12	Capacidad mínima (a) y corriente eficaz por el condensador de bus (b) para diferentes los puntos de operación en potencia del PSFB.	138
Figura 6.13	Tipos de condensadores en función de la tensión de la aplicación y su capacidad.	138
Figura 6.14	(a) Señal trapezoidal en el dominio temporal y (b) la envolvente de su distribución en el dominio frecuencial	140
Figura 6.15	Proceso de apagado del MOSFET inferior de un semipunto e inductancias parásitas que intervienen en él.	140
Figura 6.16	Alternativas para la distribución de corriente en circuitos de potencia en base a su magnitud [158].	142
Figura 6.17	Anchura de pista frente a grosor de pista para un salto térmico de 10°C para pistas (a) externas e (b) internas.	144
Figura 6.18	Apagado de un SiC-MOSFET con condensador de desacoplo: (a) Circuito equivalente y (b) formas de onda típicas en el apagado del SiC-MOSFET.	144
Figura 6.19	Características de los condensadores ferroeléctricos en función de la (a) temperatura y (b) frecuencia [163].	145
Figura 6.20	Corrientes por los dispositivos (a) 1 y 2, y (b) 3 y 4 del PSFB.	147

Figura 6.21	Corrientes por los dispositivos (a) 1 y 2, y (b) 3 y 4 del PSFB.	149
Figura 6.22	Diseño y disposición de los circuitos y componentes en el PCB mostrando (a) la cara superior y (b) inferior.	151
Figura 6.23	(a) Alineamiento temporal y (b) verificación dinámica de las sondas pasivas Tektronix P5120 y TPP1000.	151
Figura 6.24	(a) Disposición de las sondas en el circuito y (b) alineamiento de la sonda Pearson.	152
Figura 6.25	(a) Distribución de la corriente en el diseño del PCB para la rama sin corte y la rama con corte, (b) disposición de la medida real de la corriente en la rama sin corte y (c) disposición de la medida real de la corriente en la rama con corte.	153
Figura 6.26	(a) Encendido y (b) apagado de la rama con corte y bus de 600V. . .	154
Figura 6.27	(a) Encendido y (b) apagado de la rama sin corte y bus de 600V. . .	154
Figura 6.28	Pérdidas de conmutación frente a la hoja de datos de la (a) rama con corte y (b) rama sin corte.	155
Figura 6.29	(a) Pérdidas de conmutación con tensión de bus de 750V frente a la hoja de datos de la rama sin corte y (b) dinámicas de conmutación. .	155
Figura 6.30	(a) Sobrecorriente en el encendido y (b) sobretensión en el apagado en función de la corriente de carga.	156
Figura 6.31	(a) Circuito de corto evaluado y (b) formas de onda ideales para el enclavado de la tensión v_{DS}	157
Figura 6.32	Resultados del ensayo de corto con (a) 5 TVS-s de 180V a $V_{BUS} = 720V$ y (b) 4 TVS-s de 180V más 1 TVS de 130V a $V_{BUS} = 750V$	158
Figura 6.33	Plataforma de evaluación funcional del convertidor PSFB.	158
Figura 6.34	Tensiones y corrientes en primario y uno de los secundarios del transformador de potencia y en el primario y salida (b) del PSFB con bus de 600V (a) entregando 10kW de potencia.	159
Figura 6.35	Integración de dos convertidores PSFB en paralelo (a) y dimensiones del poste de recarga (b) en las instalaciones de Ingeteam (Sarriguren).	160

Listado de Tablas

Tabla 2.1	Propiedades de los semiconductores WBG y del Silicio [11] [31]	31
Tabla 3.1	Dispositivos SiC evaluados.	59
Tabla 4.1	Sondas de tensión evaluadas.	77
Tabla 4.2	Sondas de corriente evaluadas.	83
Tabla 5.1	Requerimientos del driver de puerta para el MOSFET discreto C3M0120100K (a) y el módulo FF6MR12W2M1_B11 (b).	94
Tabla 5.2	Tensiones de puerta seleccionadas.	97
Tabla 5.3	Fuente de alimentación y amplificador de corriente seleccionados.	101
Tabla 5.4	Características del TVS P6SMB180AT3G	109
Tabla 5.5	Resumen de los criterios adoptados en el diseño del driver SiC-MOSFET.	119
Tabla 6.1	Valores teóricos de parámetros y componentes pasivos del convertidor PSFB	133
Tabla 6.2	Corrientes eficaces por los tramos del convertidor <i>PSFB</i>	142
Tabla 6.3	Conversión de unidades de grosores estándares de PCB.	143
Tabla 6.4	Constantes empíricas para el cálculo de la anchura de pistas PCB.	143
Tabla 6.5	Variables de medida de la conmutación y su sonda correspondiente.	150
Tabla A.1	Núcleos aislados de driver para SiC-MOSFET	166
Tabla A.2	Drivers comerciales completos para SiC-MOSFET	167

Bibliografía

- [1] Infineon Technologies, “First SiC Schottky diode power semiconductors,” *The Advanced Semiconductor Magazine*, vol. 14, no. 2, p. 10, 2001.
- [2] K. Horowitz, T. Remo, and S. Reese, “A Manufacturing Cost and Supply Chain Analysis of SiC Power Electronics Applicable to Medium-Voltage Motor Drives,” National Renewable Energy Laboratory (NREL), Golden, CO (United States), Tech. Rep. March, mar 2017. [Online]. Available: www.manufacturingcleanenergy.orghttp://www.osti.gov/servlets/purl/1349212/
- [3] K. Arai, “R&D of SiC semiconductor power devices and strategy towards their practical utilization,” *Synthesiology English edition*, vol. 3, no. 4, pp. 245–258, 2010. [Online]. Available: <http://joi.jlc.jst.go.jp/JST.JSTAGE/syntheng/3.245?from=CrossRef>
- [4] J. Kerr, “Microsemi SiC Products (Product Brochure),” Microsemi, Tech. Rep., 2014.
- [5] K. O. Armstrong, S. Das, and J. Cresko, *Wide bandgap semiconductor opportunities in power electronics*. Oak Ridge National Laboratory, 2016, no. November.
- [6] D. A. Gajewski, B. Hull, D. J. Lichtenwalner, S.-H. Ryu, E. Bonelli, H. Mustain, G. Wang, S. T. Allen, and J. W. Palmour, “SiC power device reliability,” in *2016 IEEE International Integrated Reliability Workshop (IIRW)*. IEEE, 2016, pp. 29–34. [Online]. Available: <http://ieeexplore.ieee.org/document/7904895/>
- [7] Rohm Semiconductor, “SCT3160KL (Datasheet),” Rohm Semiconductor, Tech. Rep. 1, 2016. [Online]. Available: <https://www.rohm.com/products/sic-power-devices/sic-mosfet/sct3160kl-product>
- [8] S. Dewar, S. Linder, C. Von Arx, A. Mukhitinov, G. Debled, C. V. Arx, A. Mukhitinov, and G. Debled, “Soft punch through (SPT)—setting new standards in 1200V IGBT,” in *Proc. PCIM*, no. June 2000, 2000, pp. 593–600.
- [9] A. Wintrich, N. Ulrich, T. Werner, T. Reimann, U. Nicolai, T. Reimann, and W. Tursky, *Application Manual Power Semiconductors*, Semikron, Ed. Semikron, 2015.

- [10] Y. K. Sharma, “Introductory Chapter: Need of SiC Devices in Power Electronics - A Beginning of New Era in Power Industry,” *Disruptive Wide Bandgap Semiconductors, Related Technologies, and Their Applications*, pp. 1–16, 2018.
- [11] N. Kaminski and O. Hilt, “SiC and GaN devices – wide bandgap is not all the same,” *IET Circuits, Devices & Systems*, vol. 8, no. 3, pp. 227–236, may 2014. [Online]. Available: <http://digital-library.theiet.org/content/journals/10.1049/iet-cds.2013.0223>
- [12] L. Prat and J. Calderer, “Dispositivos electrónicos y fotónicos. Fundamentos,” Barcelona, 2006.
- [13] C. Jacoboni, *Theory of Electron Transport in Semiconductors*, ser. Springer Series in Solid-State Sciences. Berlin, Heidelberg: Springer Berlin Heidelberg, 2010, vol. 165. [Online]. Available: <http://link.springer.com/10.1007/978-3-642-10586-9>
- [14] STMicroelectronics, “STPS61L45C Power Schottky Rectifier (Datasheet),” STMicroelectronics, Tech. Rep. October, 2011. [Online]. Available: <http://www.st.com/web/en/resource/technical/document/datasheet/CD00177573.pdf>
- [15] K. Wu, “Introduction To Schottky Rectifier and Application Guidelines (Application Note),” Taiwan Semiconductor, Tech. Rep., 2010.
- [16] N. Y. A. Shamma and S. Eio, “A novel technique to reduce the reverse recovery charge of a power diode,” in *2007 European Conference on Power Electronics and Applications*. IEEE, 2007, pp. 1–8.
- [17] L. Pina and J. Vobecky, “Fast recovery high-power P-i-N diode with heavily shorted cathode for enhanced ruggedness in the circuits with IGCTs,” in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, vol. 2016-July. IEEE, jun 2016, pp. 303–306. [Online]. Available: <http://ieeexplore.ieee.org/document/7520838/>
- [18] B. W. Williams, “Electrical Ratings and Characteristics of Power Semiconductor Switching Devices,” in *Power Electronics: Devices, Drivers, Applications, and Passive Components*. Barry W. Williams, 2006, ch. 4, pp. 84–90.
- [19] F. Stueckler, J. Hancock, F. Stueckler, and E. Vecino, “CoolMOS™ C7: Mastering the Art of Quickness (Application Note AN2013-04, rev. 1.),” Infineon Technologies, Tech. Rep. April, 2013.
- [20] International Rectifier, “AN-983: IGBT Characteristics (Application Note),” International Rectifier, Tech. Rep., 2012.

- [21] A. Steiner, “600 V CoolMOS™ P7 (Application Note AN_201703_PL52_015),” Infineon Technologies, Tech. Rep., 2017.
- [22] F. Stückler, S. Abdel-Rahman, and K. Siu, “600 V CoolMOS C7 Design Guide (Application Note),” Infineon Technologies, Tech. Rep., 2015.
- [23] STMicroelectronics, “STFH12N150K5 (Datasheet),” STMicroelectronics, Tech. Rep. July, 2016.
- [24] V. K. Khanna, “Power Device Evolution and the Advent of IGBT,” in *Insulated Gate Bipolar Transistor IGBT Theory and Design*. IEEE, 2003, p. 1. [Online]. Available: <http://ieeexplore.ieee.org/document/5237371>
- [25] I. Baraia-Zubiaurre, “Series Connection Of Power Semiconductors For Medium Voltage Applications,” Ph.D. dissertation, Mondragon University, 2009.
- [26] Toshiba, “IGBTs (Insulated Gate Bipolar Transistor) (Application Note),” Toshiba, Tech. Rep., 2018.
- [27] ON Semiconductor, “AND9052/D-IGBT Gate Drive Considerations (Application Note),” On Semiconductor, Tech. Rep., 2011. [Online]. Available: <http://www.onsemi.com/pub/Collateral/AND9052-D.PDF>
- [28] D. Schreiber, “New power semiconductor technology for renewable energy sources application,” *Sevilla, Spain, May*, 2005.
- [29] Infineon Technologies, “AN2011-05 Industrial IGBT Modules Explanation of Technical Information (Application Note),” Infineon Technologies, Tech. Rep. November, 2015.
- [30] P. G. Neudeck, “The VLSI Handbook,” in *SiC Technology, in The VLSI Handbook, Second Edition*, W.-K. Chen, Ed. Boca Raton, Florida: CRC Press, 2007, pp. 5.1-5.34., ser. Electrical Engineering Handbook, W.-K. Chen, Ed. CRC Press, dec 2007, pp. 1-34. [Online]. Available: <http://www.crcnetbase.com/doi/book/10.1201/9781420049671>
- [31] R. S. Pengelly, S. M. Wood, J. W. Milligan, S. T. Sheppard, and W. L. Pribble, “A Review of GaN on SiC High Electron-Mobility Power Transistors and MMICs,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 6, pp. 1764-1783, jun 2012. [Online]. Available: <http://ieeexplore.ieee.org/document/6156768/>
- [32] B. Ozpineci and L. M. Tolbert, “Comparison of Wide-Bandgap Semiconductors for Power Electronics Applications,” Oak Ridge National Laboratory, Tech. Rep., 2003. [Online]. Available: <http://web.ornl.gov/~webworks/cppr/y2001/rpt/118817.pdf>

- [33] Hong Lin; Pierric Gueguen, “GaN and SiC Devices for Power Electronics Applications,” Yole Developpement, Tech. Rep., 2015. [Online]. Available: <http://www.i-micronews.com/report/product/gan-and-sic-for-power-electronics-applications.html?Itemid=0>
- [34] H. Amano, A. Usui, Y. Mori, M. Yamaguchi, Y. Honda, M. Iwaya, T. Tanigawa, T. Sugiyama, T. Sano, Y. Kuwahara, T. Makino, and A. Mishima, “Progress and prospect of the growth of wide-band-gap group III nitrides: Development of the growth method for single-crystal bulk GaN,” *Japanese Journal of Applied Physics*, vol. 52, no. 5, pp. 0–10, 2013.
- [35] H. Lakhdhar, “Reliability assessment of GaN HEMTs on Si substrate with ultra-short gate dedicated to power applications at frequency above 40 GHz,” Theses, Université de Bordeaux, 2017. [Online]. Available: <https://tel.archives-ouvertes.fr/tel-01763431>
- [36] X. G. He, D. G. Zhao, and D. S. Jiang, “Formation of two-dimensional electron gas at AlGa_N/Ga_N heterostructure and the derivation of its sheet density expression,” *Chinese Physics B*, vol. 24, no. 6, pp. 1–5, 2015.
- [37] I. C. Kizilyalli, A. P. Edwards, O. Aktas, T. Prunty, and D. Bour, “Vertical Power p-n Diodes Based on Bulk GaN,” *IEEE Transactions on Electron Devices*, vol. 62, no. 2, pp. 414–422, feb 2015. [Online]. Available: <http://ieeexplore.ieee.org/document/6919319/>
- [38] H. Nie, Q. Diduck, B. Alvarez, A. P. Edwards, B. M. Kayes, M. Zhang, G. Ye, T. Prunty, D. Bour, and I. C. Kizilyalli, “1.5-kV and 2.2-mOhm-cm² Vertical GaN Transistors on Bulk-GaN Substrates,” *IEEE Electron Device Letters*, vol. 35, no. 9, pp. 939–941, sep 2014. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=6870487>
- [39] Y. Nagai, S. Nakagawa, and K. Kashima, “Crystal growth of MCZ silicon with ultralow carbon concentration,” *Journal of Crystal Growth*, vol. 401, pp. 737–739, sep 2014. [Online]. Available: <https://linkinghub.elsevier.com/retrieve/pii/S0022024813008130>
- [40] R. M. Abdul Khadar, C. Liu, R. Soleimanzadeh, and E. Matioli, “Fully Vertical GaN-on-Si power MOSFETs,” *IEEE Electron Device Letters*, vol. 40, no. 3, pp. 443–446, 2019.
- [41] M. A. Sánchez-García, “Crecimiento y caracterización de Nítruros del grupo III sobre Si (111) por epitaxia de haces moleculares,” Ph.D. dissertation, Universidad Politécnica de Madrid, 2000.
- [42] T. J. Flack, B. N. Pushpakaran, and S. B. Bayne, “GaN Technology for Power Electronic Applications: A Review,” *Journal of Electronic Materials*, vol. 45, no. 6, pp. 2673–2682, 2016.

- [43] J. Millan, P. Godignon, X. Perpinya, A. Perez-Tomas, and J. Rebollo, "A Survey of Wide Band Gap Power Semiconductor Devices," *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 1–1, 2013. [Online]. Available: <http://ieeexplore.ieee.org/lpdocs/epic03/wrapper.htm?arnumber=6532359>
- [44] Coolgan PowerTransistor, "IGO60R070D1 (Datasheet)," Coolgan PowerTransistor, Tech. Rep., 2018.
- [45] A. Lidow and J. Strydom, "Gallium Nitride (GaN) Technology Overview," *White Paper WP001*, pp. 1–6, 2012. [Online]. Available: <http://epc-co.com/epc/documents/papers/Gallium%5CnNitride%5CnGaN%5CnTechnology%5CnOverview.pdf>
- [46] E. Persson, "Infineon CoolGaN™ Application Note AN_201702_PL52_010 (Application Note)," Infineon Technologies, Tech. Rep., 2018. [Online]. Available: www.infineon.com/GaN
- [47] B. Lu, E. L. Piner, and T. Palacios, "Breakdown mechanism in AlGaN/GaN HEMTs on Si substrate," *Device Research Conference - Conference Digest, DRC*, no. June, pp. 193–194, 2010.
- [48] W. Saito, Y. Kakiuchi, T. Nitta, Y. Saito, T. Noda, H. Fujimoto, A. Yoshioka, T. Ohno, and M. Yamaguchi, "Field-Plate Structure Dependence of Current Collapse Phenomena in High-Voltage GaN-HEMTs," *IEEE Electron Device Letters*, vol. 31, no. 7, pp. 659–661, jul 2010. [Online]. Available: <http://ieeexplore.ieee.org/document/5471189/>
- [49] J. Cho, Z. Li, M. Asheghi, and K. E. Goodson, "Near-junction thermal management: thermal conduction in gallium nitride composite substrates," *Annual Review of Heat Transfer*, vol. 18, pp. 1–65, 2014.
- [50] G. Greco, F. Iucolano, and F. Roccaforte, "Review of technology for normally-off HEMTs with p-GaN gate," *Materials Science in Semiconductor Processing*, vol. 78, no. October 2017, pp. 96–106, 2018. [Online]. Available: <https://doi.org/10.1016/j.mssp.2017.09.027>
- [51] M. Meneghini, O. Hilt, C. Fleury, R. Silvestri, M. Capriotti, G. Strasser, D. Pogany, E. Bahat-Treidel, F. Brunner, A. Knauer, J. Würfl, I. Rossetto, E. Zanoni, G. Meneghesso, and S. Dalcanale, "Normally-off GaN-HEMTs with p-type gate: Off-state degradation, forward gate stress and ESD failure," *Microelectronics Reliability*, vol. 58, pp. 177–184, 2016.
- [52] ON Semiconductor, "NTP8G202N Power GaN Cascode (Datasheet)," On Semiconductor, Tech. Rep., 2015.

- [53] I. C. Kizilyalli, A. P. Edwards, H. Nie, D. Bour, T. Prunty, and D. Disney, "3.7 kV vertical GaN PN diodes," *IEEE Electron Device Letters*, vol. 35, no. 2, pp. 247–249, 2014.
- [54] H. Huang, F. Li, Z. Sun, N. Sun, F. Zhang, Y. Cao, H. Zhang, and P. Tao, "Gallium Nitride Normally-Off Vertical Field-Effect Transistor Featuring an Additional Back Current Blocking Layer Structure," *Electronics*, vol. 8, no. 2, p. 241, 2019.
- [55] R. Cheung, *Silicon Carbide Microelectromechanical Systems for Harsh Environments*. Imperial College Press, jun 2006. [Online]. Available: <https://books.google.es/books?id=hJySnYNE3B0Chttp://www.worldscientific.com/worldscibooks/10.1142/p426>
- [56] F. La Via, A. Severino, R. Anzalone, C. Bongiorno, G. Litrico, M. Mauceri, M. Schoeler, P. Schuh, and P. Wellmann, "From thin film to bulk 3C-SiC growth: Understanding the mechanism of defects reduction," *Materials Science in Semiconductor Processing*, vol. 78, no. December 2017, pp. 57–68, 2018.
- [57] T. Seldrum, "High Quality 150 mm SiC Substrates for Power Electronics Applications," *power-mag*, no. Issue 4 2016 Power Electronics Europe, pp. 16–17, 2016.
- [58] Infineon Technologies, "CoolSiC™ 1200 V SiC MOSFET Application Note AN2017-46 (Application Note)," Infineon Technologies, Tech. Rep., 2018.
- [59] M. B. Wijesundara and R. Azevedo, *Silicon Carbide Microsystems for Harsh Environments*, ser. MEMS Reference Shelf. New York, NY: Springer New York, 2011, vol. 22, no. 8. [Online]. Available: <http://www.springerlink.com/index/10.1007/978-1-4419-7121-0http://link.springer.com/10.1007/978-1-4419-7121-0>
- [60] M. Östling, "Silicon carbide based power devices," in *2010 International Electron Devices Meeting*, 2010, pp. 13.3.1–13.3.4.
- [61] C. Basceri, C. Balkas, Y. Khlebnikov, I. Khlebnikov, H. M. D. Hobgood, M. N. Silan, C. H. Carter, V. Balakrishna, R. T. Leonard, A. R. Powell, Others, C. Balkas, M. N. Silan, H. M. D. Hobgood, C. H. Carter, V. Balakrishna, R. T. Leonard, A. R. Powell, and Others, "Micropipe-free silicon carbide and related method of manufacture," pp. 1–27, 2010. [Online]. Available: <https://www.google.ch/patents/US20080067524http://google.com/patents/EP2264223A2?cl=pt-PT>
- [62] A. Elasser, M. Agamy, J. Nasadoski, A. Bolotnikov, Z. Stum, R. Raju, L. Stevanovic, J. Mari, M. Menzel, B. Bastien, and P. Losee, "Static and dynamic characterization of 6.5kV, 100A SiC Bipolar PiN Diode modules," in *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*. IEEE, sep 2012, pp. 3595–3602. [Online]. Available: <http://ieeexplore.ieee.org/document/6342485/>

- [63] L. Wehrhahn-Kilian, K. O. Dohnke, D. Kaminzky, B. Kallinger, and S. Opper, "Bipolar Degradation of 6.5 kV SiC pn-Diodes: Result Prediction by Photoluminescence," *Materials Science Forum*, vol. 858, pp. 410–413, may 2016. [Online]. Available: <http://www.scientific.net/MSF.858.410>
- [64] B. J. Baliga, *Advanced High Voltage Power Device Concepts*, Intergovernmental Panel on Climate Change, Ed. New York, NY: Springer New York, 2012, vol. 1. [Online]. Available: <http://ebooks.cambridge.org/ref/id/CBO9781107415324A009http://link.springer.com/10.1007/978-1-4614-0269-5>
- [65] K. Li, "Wide Bandgap (SiC/GaN) Power Devices Characterization and Modeling: Application to HF Power Converters," Ph.D. dissertation, Université Lille Nord-de-France, 2014.
- [66] T. Barbieri, "SiC Schottky Diode Device Design: Characterizing Performance & Reliability," Cree, Tech. Rep., 2015.
- [67] B. O. Harmon and T. Basler, "Advantages of the 1200 V SiC Schottky Diode with MPS Design," *Bodo's Power Systems*, no. December, 2015.
- [68] L. Li, "Turn-Off Characteristics of SiC JBS Diodes USCi_AN0011 (Application Note)," United Silicon Carbide, Tech. Rep. August 2016, 2016.
- [69] C. Buttay, C. Raynaud, H. Morel, G. Civrac, M.-l. Locatelli, and F. Morel, "Thermal Stability of Silicon Carbide Power Diodes," *IEEE Transactions on Electron Devices*, vol. 59, no. 3, pp. 761–769, mar 2012. [Online]. Available: <http://ieeexplore.ieee.org/document/6135781/>
- [70] C. Buttay, C. Raynaud, H. Morel, M. Lazar, G. Civrac, and D. Bergogne, "High-temperature behavior of SiC power diodes," *Power Electronics and Applications (EPE 2011), Proceedings of the 2011-14th European Conference on*, no. June 2017, pp. 1–9, 2011.
- [71] P. Friedrichs, "Future of Wide Band Gap Power Semiconductors," *EPE'16 ECCE Europe Keynote Speech*, 2016.
- [72] Rohm Semiconductor, "Silicon Carbide Schottky Barrier Diodes (White Paper)," Rohm Semiconductor, Tech. Rep., dec 2011. [Online]. Available: www.rohm.com/us
- [73] K. M. Speer and S. Banerjee, "State of the SiC MOSFET : Device evolution, technology merit, and commercial prospects (White Paper)," Littlefuse, Tech. Rep., 2017.
- [74] Mitsubishi Electric Corporation, "Innovative Power Devices for a Sustainable Future," *Product Brochure*, 2016.

- [75] S. G. Sundaresan, C. Sturdevant, M. Mairipelly, E. Lieser, and R. Singh, “12.9 kV SiC PiN Diodes with Low On-State Drops and High Carrier Lifetimes,” *Materials Science Forum*, vol. 717-720, pp. 949–952, may 2012. [Online]. Available: <http://www.scientific.net/MSF717-720.949>
- [76] T. T. Nguyen, A. Ahmed, T. V. Thang, and J. H. Park, “Gate Oxide Reliability Issues of SiC MOSFETs Under Short-Circuit Operation,” *IEEE Transactions on Power Electronics*, vol. 30, no. 5, pp. 2445–2455, may 2015.
- [77] A. Rodriguez, M. Fernandez, M. M. Hernando, D. G. Lamar, M. Arias, and J. Sebastian, “Switching performance comparison of the SiC JFET and the SiC JFET/Si MOSFET cascode configuration,” in *2013 IEEE Energy Conversion Congress and Exposition*. IEEE, sep 2013, pp. 472–479. [Online]. Available: <http://ieeexplore.ieee.org/document/6646739/>
- [78] United SiC, “UJ3N120070K3S (Datasheet),” United Silicon Carbide, Tech. Rep. March, 2018.
- [79] J. Bendel, “Cascode Configuration Eases Challenges of Applying SiC JFETs (Application Note),” United Silicon Carbide, Tech. Rep. March, 2016.
- [80] U. Karki and F. Z. Peng, “Precursors of gate oxide degradation in SiC power MOSFETs,” *arXiv preprint arXiv:1802.08085*, 2018.
- [81] P. Friedrichs, “Gate oxide and threshold voltage reliability considerations for SiC MOSFETs,” *CORPE Annual Symposium*, pp. 1–26, 2018.
- [82] T. Nakamura, M. Aketa, and Y. Nakano, “Advanced SiC Devices with Trench Structure,” *International Conference on Solid State Devices and Materials*, pp. 899–900, 2012.
- [83] Rohm Semiconductor, “SiC Power Devices and Modules (Application Note),” Rohm Semiconductor, Tech. Rep. August, 2014.
- [84] Infineon Technologies, “Guidelines for CoolSiC™ MOSFET gate drive voltage window (Application Note),” Infineon Technologies, Tech. Rep., 2018.
- [85] Rohm Semiconductor, “SiC Power Devices vol.3 (Product Brochure),” Rohm Semiconductor, Tech. Rep., 2013.
- [86] O. Aviñó Salvadó, H. Morel, C. Buttay, D. Labrousse, and S. Lefebvre, “Threshold voltage instability in SiC MOSFETs as a consequence of current conduction in their body diode,” *Microelectronics Reliability*, vol. 88-90, pp. 636–640, 2018.

- [87] S. Araújo, *On the perspectives of wide-band gap power devices in electronic-based power conversion for renewable systems*. Kassel University Press, 2013, vol. 3.
- [88] S. Sundaresan, S. Jeliaskov, B. Grummel, and R. Singh, “10 kV SiC BJTs - static, switching and reliability characteristics,” in *2013 25th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*. IEEE, may 2013, pp. 303–306. [Online]. Available: <http://ieeexplore.ieee.org/document/6694409/>
- [89] Y. Zhang, J. Shi, Y. Liu, C. Sun, F. Guo, and B. Zhang, “High current gain 4H-SiC bipolar junction transistor,” *Journal of Semiconductors*, vol. 37, no. 4, p. 044005, apr 2016. [Online]. Available: <http://stacks.iop.org/1674-4926/37/i=4/a=044005?key=crossref.1e1e25951255908dda0abf10fb42e4d9>
- [90] GeneSiC, “2N7639-GA Normally – OFF Silicon Carbide Junction Transistor (Datasheet),” GeneSiC, Tech. Rep., 2014.
- [91] S. G. Sundaresan, A. M. Soe, S. Jeliaskov, and R. Singh, “Characterization of the stability of current gain and avalanche-mode operation of 4H-SiC BJTs,” *IEEE Transactions on Electron Devices*, vol. 59, no. 10, pp. 2795–2802, 2012.
- [92] Georg Tolstoy, “High-Efficiency SiC Power Conversion – Base Drivers for Bipolar Junction Transistors and Performance Impacts on Series-Resonant Converters,” Ph.D. dissertation, KTH Royal Institute of Technology, 2015. [Online]. Available: <https://www.diva-portal.org/smash/get/diva2:814732/FULLTEXT01.pdf>
- [93] G. Liu, B. R. Tuttle, and S. Dhar, “Silicon carbide: A unique platform for metal-oxide-semiconductor physics,” *Applied Physics Reviews*, vol. 2, no. 2, 2015.
- [94] Woongje Sung, J. Wang, A. Q. Huang, and B. J. Baliga, “Design and investigation of frequency capability of 15kV 4H-SiC IGBT,” in *2009 21st International Symposium on Power Semiconductor Devices & IC's*. IEEE, jun 2009, pp. 271–274. [Online]. Available: <http://ieeexplore.ieee.org/document/5158054/>
- [95] A. Kadavelugu, S. Bhattacharya, S.-H. Ryu, E. Van Brunt, D. Grider, and S. Leslie, “Experimental switching frequency limits of 15 kV SiC N-IGBT module,” in *2014 International Power Electronics Conference (IPEC-Hiroshima 2014 - ECCE ASIA)*. IEEE, may 2014, pp. 3726–3733. [Online]. Available: <http://ieeexplore.ieee.org/document/6870034/>
- [96] A. Kadavelugu and S. Bhattacharya, “Design considerations and development of gate driver for 15 kV SiC IGBT,” in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*. IEEE, mar 2014, pp. 1494–1501. [Online]. Available: <http://ieeexplore.ieee.org/document/6803505/>

- [97] Texas Instruments, “IGBT & SiC Gate Driver Fundamentals (Technical Note),” Texas Instruments, Tech. Rep., 2019.
- [98] Infineon Technologies, “FF6MR12W2M1 _ B11 SiC-MOSFET Module (Datasheet),” Infineon Technologies, München, Tech. Rep., 2018.
- [99] Texas Instruments, “Understanding the Short Circuit Protection for Silicon Carbide MOSFETs Characteristics of SiC MOSFET (Technical Note),” Texas Instruments, Tech. Rep. January, 2018.
- [100] M. R. Ahmed, R. Todd, and A. J. Forsyth, “Switching performance of a SiC MOSFET body diode and SiC schottky diodes at different temperatures,” *2017 IEEE Energy Conversion Congress and Exposition, ECCE 2017*, vol. 2017-Janua, pp. 5487–5494, 2017.
- [101] P. Beckedahl, “Limits and hints how to turn off IGBTs with unipolar supply,” *Semikron*, vol. 1, pp. 1–17, 2014.
- [102] S. Hazra, A. De, L. Cheng, J. Palmour, M. Schupbach, B. Hull, S. Allen, and S. Bhattacharya, “High Switching Performance of 1700V, 50A SiC Power MOSFET over Si IGBT/BiMOSFET for Advanced Power Conversion Applications,” *IEEE Transactions on Power Electronics*, vol. 31, no. 7, pp. 1–1, 2015. [Online]. Available: <http://ieeexplore.ieee.org/document/7105923/>
- [103] Cree, “C2M0080120D Silicon Carbide Power MOSFET (Datasheet),” Cree, Tech. Rep. B, 2015.
- [104] F. Filsecker and A. Mashaly, “Reliable SiC Power Devices for Automotive Applications,” *Bodo’s Power Systems*, no. June, pp. 20–26, 2017.
- [105] Z. Zhang, B. Guo, F. Wang, L. M. Tolbert, B. J. Blalock, Z. Liang, and P. Ning, “Methodology for switching characterization evaluation of wide band-gap devices in a phase-leg configuration,” in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*. IEEE, mar 2014, pp. 2534–2541. [Online]. Available: <http://ieeexplore.ieee.org/document/6803660/>
- [106] M. R. Ahmed, R. Todd, and A. J. Forsyth, “Analysis of SiC MOSFETs under hard and soft-switching,” in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*. IEEE, sep 2015, pp. 2231–2238. [Online]. Available: <http://ieeexplore.ieee.org/document/7309974/>
- [107] Z. Zhang, B. Guo, F. F. Wang, E. A. Jones, L. M. Tolbert, and B. J. Blalock, “Methodology for Wide Band-Gap Device Dynamic Characterization,” *IEEE Transactions on Power Electronics*, vol. 32, no. 12, 2017.

- [108] Cree, “SiC MOSFET Double Pulse Fixture (Technical Note),” Cree, Tech. Rep. February, 2011.
- [109] —, “C3M0120100K Silicon Carbide Power MOSFET (Datasheet),” Cree, Tech. Rep. 1, 2018.
- [110] —, “Cree SiC Power White Paper: The Characterization of dV/dt Capabilities of Cree SiC Schottky diodes using an Avalanche Transistor Pulser (White Paper),” Cree, Tech. Rep., 2015.
- [111] S. Tiwari, O.-M. Midtgard, and T. M. Undeland, “Comparative evaluation of a commercially available 1.2 kV SiC MOSFET module and a 1.2 kV Si IGBT module,” in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*. IEEE, oct 2016, pp. 1093–1098. [Online]. Available: <http://ieeexplore.ieee.org/document/7793961/>
- [112] T. J. Sobering, “Bandwidth and Risetime (Technical Note),” SDE Consulting, Tech. Rep. May, 1999.
- [113] K. Johnson and D. Maliniak, “Oscilloscope Probes for Power Electronics: Be Sure to Choose the Right Probe for Accurate Measurements,” *IEEE Power Electronics Magazine*, vol. 5, no. 1, pp. 37–44, mar 2018. [Online]. Available: <http://ieeexplore.ieee.org/document/8300686/>
- [114] Pearson Electronics, “Current Monitor Terms: Rise Time (Application Note),” Pearson Electronics, Tech. Rep., 2018. [Online]. Available: <http://www.pearsonelectronics.com/support/application-notes/rise-time>
- [115] Tektronix, “High-voltage Differential Probes (Product Brochure),” Tektronix, Tech. Rep., 2017. [Online]. Available: <https://uk.tek.com/probes-and-accessories/high-voltage-differential-probes>
- [116] Yokogawa Test & Measurement Corporation, “Voltage Probes (Product Brochure),” Yokogawa Test & Measurement Corporation, Tech. Rep., 2018. [Online]. Available: <https://tmi.yokogawa.com/es/solutions/products/oscilloscopes/voltage-probes/>
- [117] Tektronix, “Isolated Measurement Systems (Product Brochure),” Tektronix, Tech. Rep., 2018. [Online]. Available: <https://www.tek.com/datasheet/isolated-measurement-systems-0>
- [118] T. Sakaguchi, M. Aketa, T. Nakamura, M. Nakanishi, and M. Rahimo, “Characterization of 3.3 kV and 6.5 kV SiC MOSFETs,” in *PCIM Europe 2017; International Exhibition*

- and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of.* VDE, 2017, pp. 1–5.
- [119] Tektronix, “Passive Voltage Probes (Product Brochure),” Tektronix, Tech. Rep., 2018. [Online]. Available: <https://www.tek.com/datasheet/passive-voltage-probes>
- [120] North Star High Voltage, “Bare Probe Manual (Application Note),” North Star High Voltage, Tech. Rep., 2012. [Online]. Available: www.highvoltageprobes.com
- [121] W.-Z. Zong, Y. Li, Y.-C. Cheng, C.-Y. Zhang, Y. Xue, and G.-G. Li, “The design of a wide-band high-voltage divider,” in *2010 International Conference on Power System Technology*, no. 090812. IEEE, oct 2010, pp. 1–5. [Online]. Available: <http://ieeexplore.ieee.org/document/5666678/>
- [122] U. Nicolai, “Determining Switching Losses of SEMIKRON IGBT Modules (Application Note AN1403),” Semikron, Tech. Rep., 2014.
- [123] B. W. Williams, “Transducers and Sensors,” in *Power electronics: Devices, drivers, and applications*. John Wiley and Sons Inc., New York, NY, 2006, ch. 34, pp. 1509–1514.
- [124] E. Oyarbide, C. Bernal, and P. Molina, “New current measurement procedure using conventional Rogowski transducers for the analysis of switching transients in transistors,” *IEEE Transactions on Power Electronics*, vol. 8993, no. c, pp. 1–1, 2016. [Online]. Available: <http://ieeexplore.ieee.org/document/7731232/>
- [125] S. Hain and M. M. Bakran, “New Rogowski Coil Design with a High dV/dt Immunity and High Bandwidth,” *EPE Journal (European Power Electronics and Drives Journal)*, vol. 25, no. 1, pp. 22–27, 2015.
- [126] C. Waters, “Current transformers provide accurate, isolated measurements,” *Power conversion & intelligent motion*, no. 12, 1986.
- [127] M. E. Gruchalla, “Current-Viewing Resistor Validation and Application,” Unpublished work, Tech. Rep., 2008.
- [128] H. Li, “Parallel connection of Silicon Carbide MOSFETs for multichip power modules,” Ph.D. dissertation, Aalborg University, 2015.
- [129] Infineon Technologies AG, “Advanced Gate Drive Options for Silicon- Carbide (SiC) MOSFETs using EiceDRIVER™,” Infineon Technologies AG, Tech. Rep., 2018.
- [130] ON Semiconductor, “SiC MOSFETs: Gate Drive Optimization,” On Semiconductor, Tech. Rep., 2017.

- [131] B. J. Nel and S. Perinpanayagam, "A Brief Overview of SiC MOSFET Failure Modes and Design Reliability," *Procedia CIRP*, vol. 59, no. TESCConf 2016, pp. 280–285, 2017. [Online]. Available: <http://dx.doi.org/10.1016/j.procir.2016.09.025>
- [132] C. Warin, "SiC MOSFETs What it Takes to Create Cost-Effective and Highly Reliable High-Power Solutions," in *Power Electronics Conference 2018*. Littelfuse, 2018, p. 14.
- [133] A. J. Lelis, R. Green, D. B. Habersat, and M. El, "Basic mechanisms of threshold-voltage instability and implications for reliability testing of SiC MOSFETs," *IEEE Transactions on Electron Devices*, vol. 62, no. 2, pp. 316–323, 2015.
- [134] C. DiMarino, W. Zhang, N. Haryani, Q. Wang, R. Burgos, and D. Boroyevich, "A high-density, high-efficiency 1.2 kV SiC MOSFET module and gate drive circuit," in *2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*. IEEE, nov 2016, pp. 47–52. [Online]. Available: <http://ieeexplore.ieee.org/document/7799908/>
- [135] A. Technologies, "ACPL-332J (Datasheet)," Avago Technologies, Tech. Rep., 2015.
- [136] Texas Instruments, "ISO5852S-Q1 (Datasheet)," Texas Instruments, Tech. Rep., 2016.
- [137] Recom, "RxxP2xxyy - series (Datasheet)," Recom, Tech. Rep., 2018. [Online]. Available: www.recom-power.com
- [138] Rohm, "Gate Drivers Selection Guide (Application Note)," Rohm, Tech. Rep., 2015.
- [139] Vishay Semiconductors, "Optocoupler Common Mode Transient Immunity (CMTI) - Theory and Practical Solutions (Application Note 83)," Vishay Semiconductors, Tech. Rep., 2013.
- [140] Pulse Electronics, "PH9400-High Isolation Gate Drive Transformers (Datasheet)," Pulse Electronics, San Diego, Tech. Rep., 2017. [Online]. Available: pulseelectronics.com
- [141] B. Zhao, H. Qin, X. Nie, and Y. Yan, "Evaluation of isolated gate driver for SiC MOSFETs," *Proceedings of the 2013 IEEE 8th Conference on Industrial Electronics and Applications, ICIEA 2013*, pp. 1208–1212, 2013.
- [142] Analog Devices, "Design Fundamentals of Implementing an Isolated Half-Bridge Gate Driver (Technical Article MS-2318)," Analog Devices, Tech. Rep. May, 2012. [Online]. Available: <http://www.analog.com/en/technical-articles/isolated-half-bridge-gate-driver.html>
- [143] —, "ADuM4136 (Datasheet)," Analog Devices, Tech. Rep., 2015.

- [144] C. Coughlin, “Common-mode transient immunity,” *Analog Devices, Co., Norwood, MA, USA, White Paper*. [Online]. Available: http://www.analog.com/media/en/technical-documentation/technical-articles/Inside_iCoupler_Technology-Measuring_CMTI.pdf, Accessed on: Nov, pp. 1–3, 2016.
- [145] B. Basile, “Deep dive on SiC-based 10kW grid tie inverter design challenges,” Texas Instruments, Tech. Rep., 2018.
- [146] A. Charpentier, “Effects of Two-Level Turn-Off on Silicon Carbide Module Performance Baseline – Gate Resistor Control Only Two-Level Turn-Off Control,” AgileSwitch, Tech. Rep., 2016.
- [147] CISSOID, “CMT-TIT8243 (Datasheet),” CISSOID, Mont Saint Guibert, Tech. Rep., 2019.
- [148] DIODES Incorporated, “SDMK0340L (Datasheet),” DIODES Incorporated, Tech. Rep. June, 2008.
- [149] Infineon, “Tackling the challenges of electric vehicle fast charging,” Infineon, Tech. Rep., 2019.
- [150] S. Chakraborty, H. N. Vu, M. M. Hasan, D. D. Tran, M. El Baghdadi, and O. Hegazy, “DC-DC converter topologies for electric vehicles, plug-in hybrid electric vehicles and fast charging stations: State of the art and future trends,” *Energies*, vol. 12, no. 8, 2019.
- [151] S. Cetin, “High efficiency design procedure of a second stage phase shifted full bridge converter for battery charge applications based on wide output voltage and load ranges,” *Journal of Power Electronics*, vol. 18, no. 4, pp. 975–984, 2018.
- [152] M. Barrenetxea Iñarra, I. Baraia Zubiaurre, I. Larrazabal Bengoetxea, and I. Zubimendi Azaceta, *Power Electronic Converter Design Handbook*. Mondragon Unibertsitateko Zerbitzu Editoriala, 2018.
- [153] A. K. Morya, M. C. Gardner, B. Anvari, L. Liu, A. G. Yepes, J. Doval-Gandoy, and H. A. Toliyat, “Wide bandgap devices in AC electric drives: Opportunities and challenges,” *IEEE Transactions on Transportation Electrification*, vol. 5, no. 1, pp. 3–20, 2019.
- [154] H. Wang, “Capacitors in Power Electronics Applications – Reliability and Circuit Design,” in *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*. Florence, Italy: IEEE, 2016, pp. 1–82.
- [155] EPCOS, “Film Capacitors. General technical information,” *Technical Data*, no. June, pp. 1–42, 2015. [Online]. Available: <https://goo.gl/hQ5Grs>

- [156] IGBT team at IR, “PCB layout guidelines PCB layout and parasitics,” International Rectifier, Tech. Rep. September, 2012.
- [157] Texas Instruments, “High Speed PCB Layout Techniques,” Texas Instruments, Tech. Rep., 2004. [Online]. Available: www.ti.com
- [158] A. J. Mastrangelo, R. Corporation, and K. Hollevoet, “Bridging the Gap Between Power PCBs and Bus Bars for Power Electronics Applications,” Rogers corporation, Tech. Rep., 2012.
- [159] C. Nuttall and J. Zhu, “Capability factory technical,” NCAB group, Tech. Rep., 2017.
- [160] Y. Wang, S. W. De Haan, and J. A. Ferreira, “Thermal design guideline of PCB traces under DC and AC current,” *2009 IEEE Energy Conversion Congress and Exposition, ECCE 2009*, no. October, pp. 1240–1246, 2009.
- [161] G. Regnat, P-O. Jeannin, J. Ewanchuk, D. Frey, S. Molloy, and J.-P. Ferrieux, “Optimized power modules for silicon carbide MOSFET,” in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, no. Ecce. IEEE, sep 2016, pp. 1–8. [Online]. Available: <http://ieeexplore.ieee.org/document/7855324/>
- [162] Rubycon Corporation, “Aluminum Electrolytic Capacitor Technical Notes,” *Technical notes for electrolytic capacitor*, pp. 8–9, 2013. [Online]. Available: <http://www.rubycon.co.jp/en/products/alumi/pdf/Life.pdf><http://www.rubycon.co.jp/en/products/alumi/technote.html>
- [163] TDK, “CeraLink™ capacitor for fast-switching semiconductors-Flex Assembly (FA) series - (Datasheet),” TDK, Tech. Rep., 2019. [Online]. Available: <http://en.tdk.eu/tdk-en/1054426/products/product-catalog/ceramic-capacitors/ceralink-capacitors--epcos->